วงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอล แบบ μ-law ขนาด 3 บิต

Analog to Digital Converter by μ-law with 3 Bit

พันตรี โคมพิทยา[1] เกียรติชัย บรรลุผลสกุล[2]

บทคัดย่อ

บทความนี้นำเสนอวงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอล แบบ μ-law ขนาด 3 บิต โดยโครงสร้างของวงจรที่นำเสนอ ประกอบ ด้วย วงจรเปรียบเทียบกระแส วงจรสะท้อนกระแสแบบคาสโคด วงจรยกกำลังสอง และ วงจรถอดรากที่สอง โดยหลักการทำงานของวงจรอาศัยคุณสมบัติของซีมอสพารามิเตอร์ 0.1 μm ทำงานในย่านต่ำกว่าแรงดันขีดเริ่ม (Subthreshold) ซึ่งผลการทดสอบถูกจำลองการทำงานด้วยโปรแกรม Hspice และตรวจสอบผลการจำลองการทำงานด้วยโปรแกรม Mathcad ผลการจำลองการทำงานพบว่าวงจรสามารถทำงานได้ดีสอดคล้องตามทฤษฎีและมีค่าความผิดพลาดต่ำ

Abstract

This paper presents a converter circuit of Analog into Digital with 3 Bit μ-law. The main circuit consisted of current comparator circuit, cascade current mirror circuit, squaring circuit, and square root circuit. This circuit principle was based on the characteristic of 0.1 μm CMOS operating in subthreshold. Simulation results were demonstrated by Hspice program, and tested by Mathcad program. The simulation results showed that the circuit could work well with low error in line with theoretical values.

[1]ภาควิชาอิเล็กทรอนิกส์ วิทยาลัยการอาชีพธาตุพนม มหาวิทยาลัยนครพนม นครพนม 48000

[2]สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์ คณะเทคโนโลยีอุตสาหกรรม มหาวิทยาลัยราชภัฏพิบูลสงคราม พิษณุโลก 65000

บทนำ

ในปัจจุบันเทคโนโลยีอุปกรณ์อำนวยความสะดวกต่าง ๆ อยู่ในรูปแบบระบบดิจิตอล เช่น อุปกรณ์สำนักงาน โทรศัพท์เคลื่อนที่ โทรทัศน์ เป็นต้น ทั้งนี้เป็นเพราะระบบดิจิตอลมีข้อดีกว่าระบบแอนะล็อกอยู่หลายอย่าง เช่น ระบบดิจิตอลมีความแม่นยำในการทำงานสูง สามารถแก้ไขเปลี่ยนแปลงระบบการทำงานได้ง่าย หรือระบบดิจิตอลยังสามารถติดต่อกับหน่วยความจำได้ จึงสามารถใช้เก็บข้อมูลต่างๆ ได้ง่าย แต่ในความเป็นจริงแล้วสัญญาณที่เกิดขึ้นตามธรรมชาติส่วนใหญ่จะเป็นสัญญาณแอนะล็อก เช่น สัญญาณเสียงพูด เป็นต้น จึงไม่สามารถต่อเข้ามายังระบบดิจิตอลได้โดยตรง เพราะว่าสัญญาณดิจิตอลมีเพียง 2 ระดับเท่านั้น หรือที่เราชอบพูดกันว่า “ระบบดิจิตอลมีแค่ 0 กับ 1” ดังนั้นในการติดต่อระหว่างระบบแอนะล็อกและดิจิตอล จึงต้องมีวงจรตัวกลางที่ใช้ในการเชื่อมต่อสัญญาณทั้ง 2 ระบบ ให้สามารถเข้ากันได้อย่างถูกต้อง

บทความนี้จึงได้นำเสนอวงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอล แบบ μ-law ขนาด 3 บิต โดยโครงสร้างของวงจรประกอบด้วยส่วนหลัก คือ วงจรเปรียบเทียบกระแส วงจรสะท้อนกระแสแบบคาสโคด วงจรยกกำลังสอง วงจรถอดรากที่สอง โดยนำเสนอในรูปแบบอุปกรณ์ทรานซิสเตอร์ประเภทซีมอส ที่ทำงานในย่านต่ำกว่าแรงดันขีดเริ่ม ซึ่งแสดงให้เห็นว่าวงจรที่ได้ออกแบบ จะทำงานในช่วงกระแส และแรงดันที่ต่ำ จึงเป็นการเหมาะสมที่จะนำไปพัฒนาต่อในอุปกรณ์ที่มีขนาดเล็ก และใช้กำลังงานต่ำ

ในการออกแบบวงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอลที่นำเสนอนี้ สัญญาณอินพุตที่ใช้จะอยู่ในรูปแบบของสัญญาณเสียง ดังนั้นการแปลงสัญญาณแอนะล็อกเป็นดิจิตอลจะต้องนำสัญญาณเสียงที่ได้มาเข้าสู่กระบวนการบีบอัดสัญญาณก่อน แล้วจึงนำไปจัดระดับสัญญาณเพื่อแปลงให้เป็นสัญญาณดิจิตอล โดยสามารถแสดงสมการความสัมพันธ์ของสัญญาณอินพุต (k) กับสัญญาณดิจิตอลเอาต์พุตได้ ดังนี้

$$F(k) \longrightarrow B_1 B_2 B_3 .. B_N \tag{1}$$

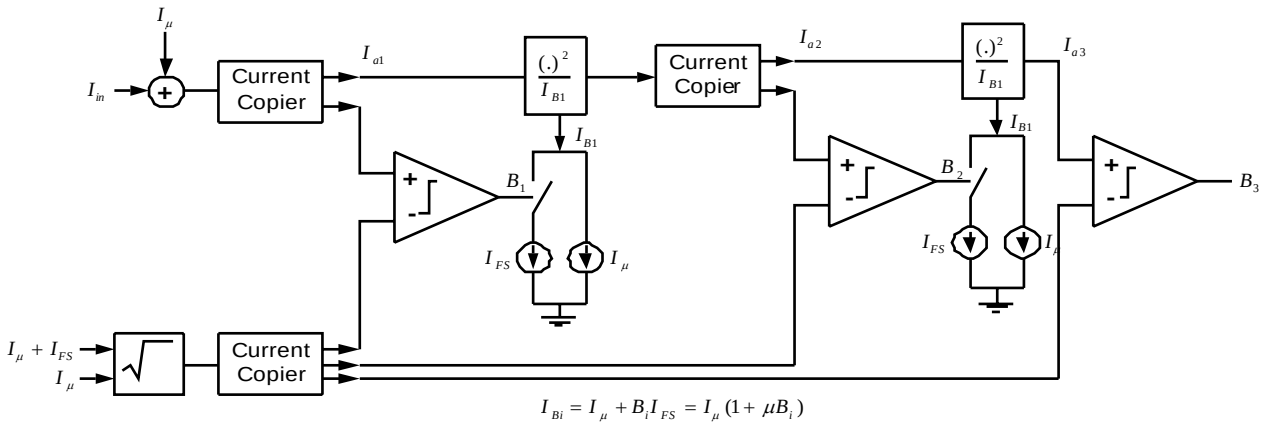
กระบวนการบีบอัดสัญญาณเสียงที่ได้นำเสนอจะใช้การบีบอัดสัญญาณเสียงแบบ μ-law ซึ่งเป็นมาตรฐานการบีบอัดสัญญาณที่ใช้ในญี่ปุ่น และแถบอเมริกาเหนือ ซึ่งสามารถแสดงสมการบีบอัดสัญญาณของ μ-law ได้คือ

$$F(k) = \frac{\ln(1+\mu|k|)}{\ln(1+\mu)} \tag{2}$$

เมื่อ μ คือค่าพารามิเตอร์ที่ใช้ปรับลักษณะของการบีบอัดสัญญาณ (Compress Parameter)

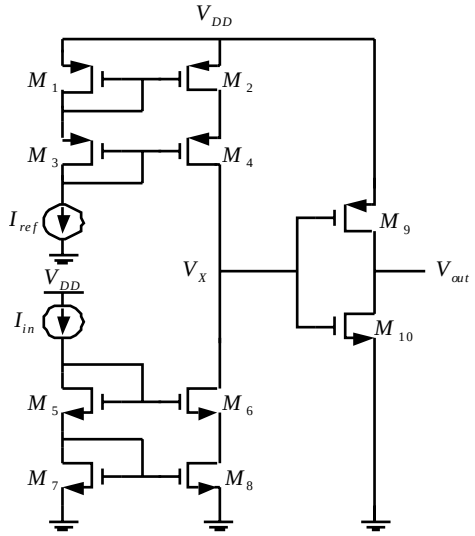
การออกแบบวงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอลแบบ μ-law ขนาด 3 บิต

หลักการแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอล แบบ μ-law ที่นำเสนอ จะใช้หลักการพื้นฐานของวงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอลเชิงเส้นแบบท่อลำเลียง [1] โดยลักษณะการทำงานของวงจรจะทำงานในโหมดกระแส ที่ช่วงกระแสและแรงดันต่ำกว่าแรงดันขีดเริ่ม ดังแสดงโครงสร้างของวงจรในรูปที่ 1 โดยกำหนดให้ $I_\mu = I_{FS} / \mu$ เมื่อ I_{FS} คือ กระแสเต็มสเกล (Full Scale Current)



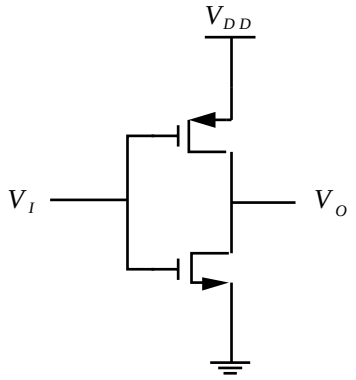
รูปที่ 1. โครงสร้างของวงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอล แบบ μ-law ขนาด N บิต

จากรูปจะเห็นได้ว่าโครงสร้างของวงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอล แบบ μ-law ขนาด 3 บิต จะประกอบด้วยวงจรหลักๆ ได้แก่ วงจรเปรียบเทียบกระแส วงจรสะท้อนกระแสแบบบบคาสโคด วงจรยกกำลังสอง วงจรถอดรากที่สอง ซึ่งจะนำเสนอในรูปแบบอุปกรณ์ทรานซิสเตอร์ประเภทซีมอส ดังรูปที่ 2, 3, 4, 5 และ 6 ตามลำดับ



รูปที่ 2. วงจรเปรียบเทียบกระแส (Current Comparator Circuit)

วงจรเปรียบเทียบกระแส [2] จะใช้ในการเปรียบเทียบระหว่างกระแสอินพุต และกระแสอ้างอิง โดยการทำงานของวงจรเปรียบเทียบกระแสจะอาศัยความสัมพันธ์ระหว่างกระแส I_{in} และแรงดัน V_x และความสัมพันธ์ของ V_x กับ V_{out} โดยที่แรงดัน V_x เป็นอินพุตให้กับวงจรอินเวอร์เตอร์ ซึ่งวงจรเปรียบเทียบกระแสที่นำเสนอตามรูปที่ 2 ประกอบด้วยวงจรกลับตรรกะแบบซีมอส ต่อร่วมกับวงจรสะท้อนกระแสแบบคาสโคด



รูปที่ 3. วงจรกลับตรรกะแบบซีมอส (CMOS Inverter Circuit)

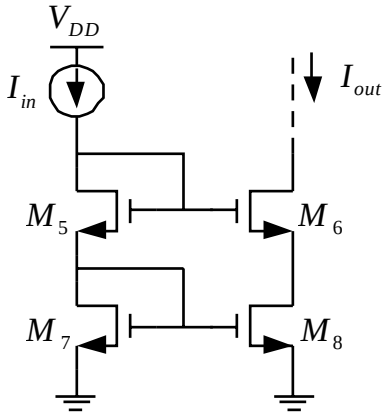
วงจรกลับตรรกะแบบซีมอส หรือที่เราเรียกว่า วงจรซีมอสอินเวอร์เตอร์นั้น จะประกอบไปด้วยทรานซิสเตอร์ชนิดพีมอส และทรานซิสเตอร์เอ็นมอส โดยหลักการทำงานจะอาศัยคุณสมบัติของแรงดันซีมอสในสภาวะการทำงานช่วงต่างๆ ซึ่งมีแรงดัน V_I ควบคุมการไบอัสที่ขาเกตของทรานซิสเตอร์ทั้งสองตัว โดยมีแรงดันขีดเริ่ม V_{th} (Threshold Voltage) เป็นแรงดันอ้างอิง ซึ่งจะได้สภาวะการทำงานของวงจรตามรูปที่ 3 คือ

$$V_{in} < V_{tn} : V_{OUT} = V_{DD} \tag{3}$$

จะได้ Digital output = “1”

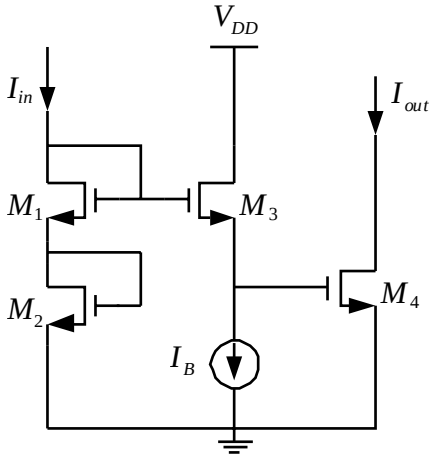
$$(V_{DD} - V_{in}) < \left|V_{tp}\right| : V_{OUT} = 0 \tag{4}$$

จะได้ Digital output = “0”



รูปที่ 4. วงจรสะท้อนกระแสแบบคาสโคด (Cascade Current Mirror Circuit)

วงจรสะท้อนกระแสแบบคาสโคด จะทำหน้าที่เป็นวงจรเพื่อใช้ในการคัดลอกกระแส (current copier) จากวงจรสร้างกระแสอ้างอิง และวงจรยกกำลังสอง ตามโครงสร้างดังรูปที่ 1 โดยการใช้วงจรสะท้อนกระแส (Current Mirror Circuit) แบบพื้นฐานมาต่อในลักษณะอนุกรมกันดังรูปที่ 4



รูปที่ 5. วงจรยกกำลังสอง (Squaring Circuit)

วงจรยกกำลังสอง [3] จะทำหน้าที่ในการทวีคูณกระแสให้เพิ่มขึ้นเป็นสองเท่า โดยจะกำหนด ให้ซีมอสทุกตัวทำงานในสภาวะต่ำกว่าแรงดันขีดเริ่ม (Subthreshold Voltage) และมีคุณสมบัติความไม่เป็นเชิงเส้นของวงรอบทรานส์ลิเนียร์ (Translinear) ดังสมการ (5)

$$V_{gs} = nV_T \ln\left(\frac{I_D}{W/LI_{D0}}\right) \tag{5}$$

จากความสัมพันธ์ของสมการวงรอบทรานส์ลิเนียร์ของซีมอส M_1, M_2, M_3 และ M_4 จะได้

$$\sum_{n\Sigma CCW} V_{gs} = \sum_{n\Sigma CW} V_{gs} \tag{6}$$

แทนค่าสมการ (5) ในสมการ (6) และกำหนดให้คุณสมบัติของซีมอสเหมือนกันทุกตัว จะได้

$$\ln\left(\frac{I_{D1}}{I_{D0}}\right) + \ln\left(\frac{I_{D2}}{I_{D0}}\right) = \ln\left(\frac{I_{D3}}{I_{D0}}\right) + \ln\left(\frac{I_{D4}}{I_{D0}}\right)$$

$$I_{DS1} I_{DS2} = I_{DS3} I_{DS4} \tag{7}$$

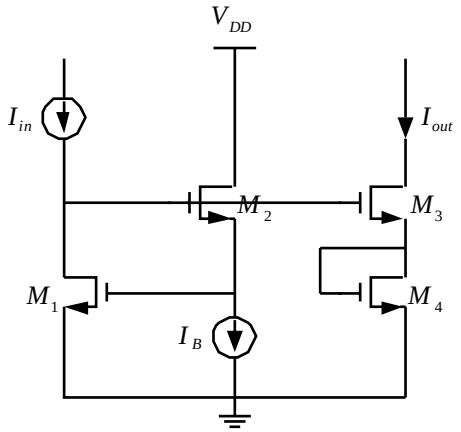
จากรูปที่ 5 เมื่อแทน $I_{DS1} = I_{DS2} = I_{in}$, $I_{DS3} = I_B$ และ $I_{DS4} = I_{OUT}$ ลงในสมการ (7) จะได้

$$I_{OUT} I_B = I_{in}^{\ 2}$$

หรือ

$$I_{OUT} = \frac{I_{in}^{\ 2}}{I_B} \tag{8}$$

จากสมการที่ (8) จะได้ว่ากระแส I_{OUT} จะแปรผันตามฟังก์ชันกำลังสองของกระแส I_{in}



รูปที่ 6. วงจรถอดรากที่สอง (Square root Circuit)

วงจรถอดรากที่สอง [3] จะทำหน้าที่สร้างกระแสอ้างอิงตามทฤษฎีการบีบอัดสัญญาณตามกฎมิว (μ-law) [4] โดยหลักการทำงานของวงจรจะกำหนดให้ซีมอสทุกตัวทำงานในสภาวะต่ำกว่าแรงดันขีดเริ่ม ซึ่งมีซีมอส M_1, M_2, M_3 และ M_4 อยู่ในวงรอบทรานส์ลิเนียร์ สามารถอธิบายได้จากสมการ (7) จะได้

$$I_{D1} = I_{in}, I_{D2} = I_B, I_{D3} = I_{D4} = I_{OUT} \tag{9}$$

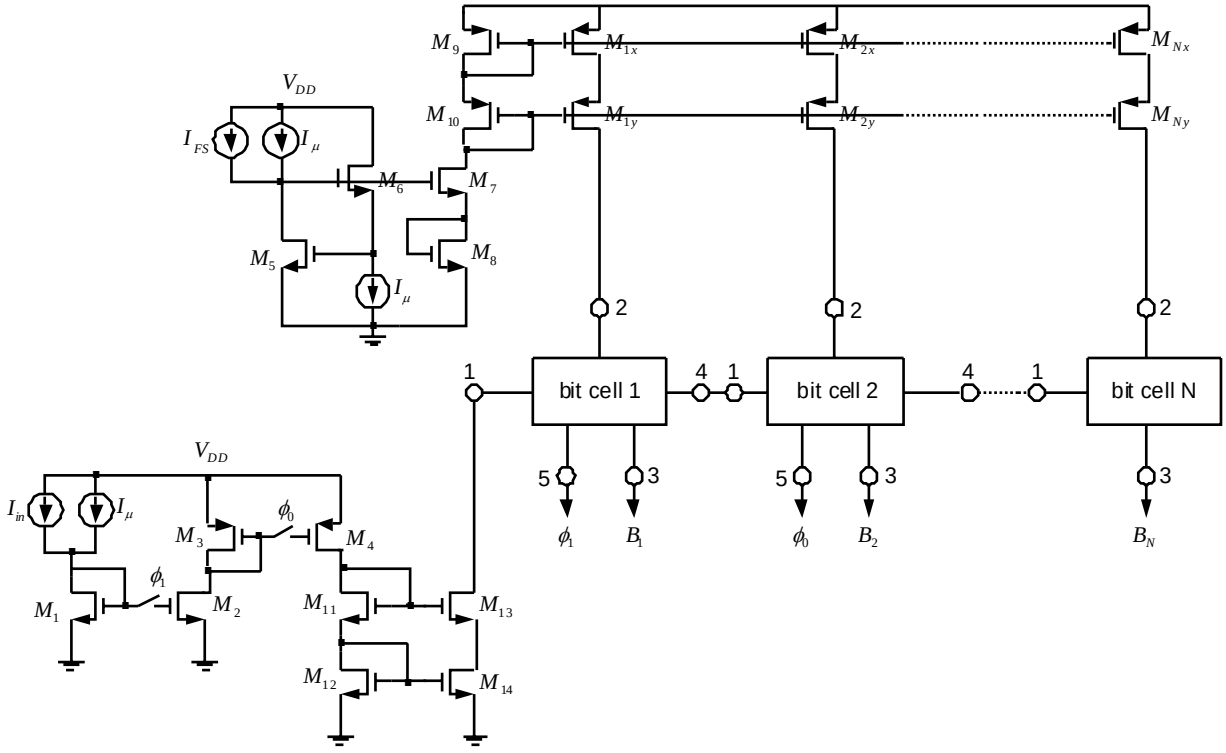
แทนสมการ (9) ลงในสมการ (7) จะได้

$$I_{OUT}{}^2 = I_{in} I_B$$

หรือ

$$I_{OUT} = \sqrt{I_{in} I_B} \qquad (10)$$

จากสมการที่ (10) จะเห็นได้ว่ากระแส I_{OUT} มีค่าแปรผันตามรากที่สองของกระแส I_{in}



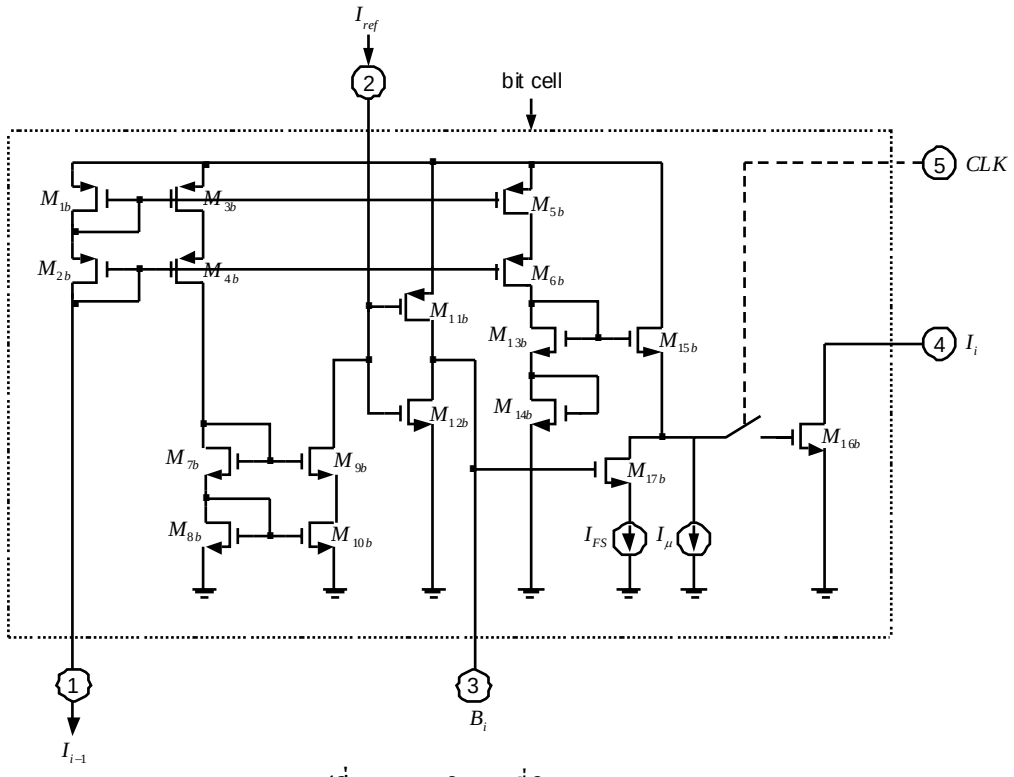
รูปที่ 7. วงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอลแบบ μ-law ขนาด 3 บิต

จากโครงสร้างของวงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอล แบบ μ-law ขนาด N บิต ตามรูปที่ 1 เราสามารถสังเคราะห์วงจร ADC ซีมอสแบบคอมแพนดิง ขนาด N บิต ใหม่ได้ดังรูปที่ 7 โดยซีมอส M_1, M_2, M_3 และ M_4 ทำหน้าที่เป็นวงจรตามและคงค่าสัญญาณ (Sample and Hold : S/H) ซีมอส M_5, M_6, M_7 และ M_8 ทำหน้าที่เป็นวงจรถอดรากที่สองเพื่อสร้างกระแสอ้างอิงให้กับวงจร และซีมอส M_9-M_{14} และ $M_{1x,1y}$, $M_{2x,2y}$,…, $M_{Nx,Ny}$ ทำหน้าที่เป็นวงจรสะท้อนกระแสหรือคัดลอกกระแสให้ในแต่ละบิตเซล โดยโครงสร้างของบิตเซล

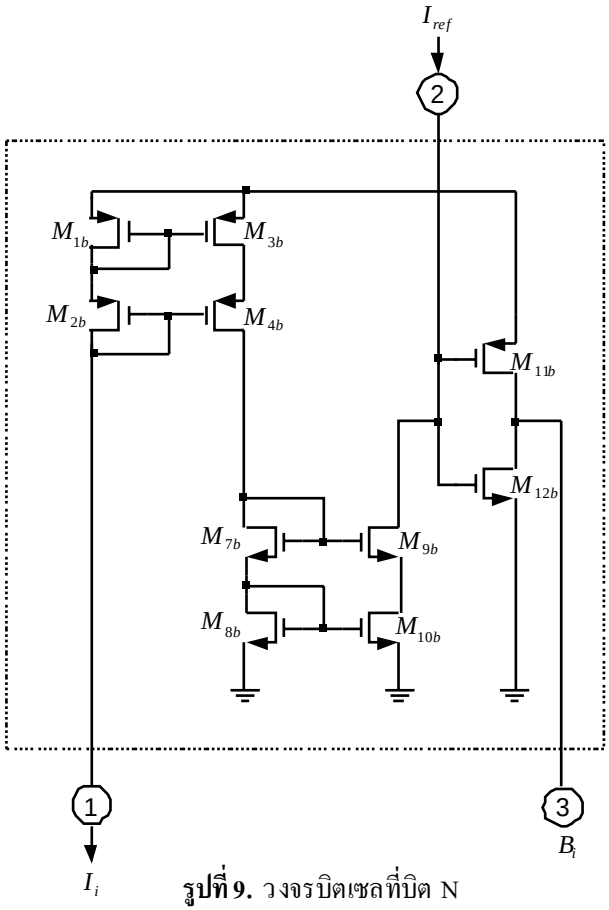
แสดงได้ดังรูปที่ 8 โดยหลักการทำงานของบิตเซลสามารถอธิบายได้ กล่าวคือ กระแส I_{i-1} จะถูกนำไปเปรียบเทียบกับ I_{ref} โดยถ้า $I_i < I_{ref}$ จะได้ $B_i = 0$ และถ้า $I_i > I_{ref}$ จะได้ $B_i = 1$ส่วนกระแสอินพุตอีกส่วนหนึ่งจะถูกป้อนเข้าสู่วงจรยกกำลังสอง (M_{13b}-M_{16b}) โดยสัญญาณสวิตซ์ ทำหน้าที่เป็นวงจรตามและคงค่าสัญญาณในบิตถัดไปโดยมีสัญญาณนาฬิกา (CLK) ซึ่งทำงานสลับกันในแต่ละบิต จะทำหน้าที่ควบคุมการทำงานและมี M_{15} ทำหน้าที่เป็นสวิตซ์เพื่อกำหนดกระแส I_{Bi} โดย $I_{Bi} = I_\mu + B_i I_{FS}$ ทำให้ได้

$$I_{i+1} = \frac{I_i^{\,2}}{I_\mu + B_i I_{FS}} \tag{11}$$

เมื่อ $i = 2,3,4,...N$ ซึ่งสอดคล้องกัน ดังรูปที่ 1



รูปที่ 8. วงจรบิตเซลที่บิต 1,2,…,N-1



รูปที่ 9. วงจรบิตเซลที่บิต N

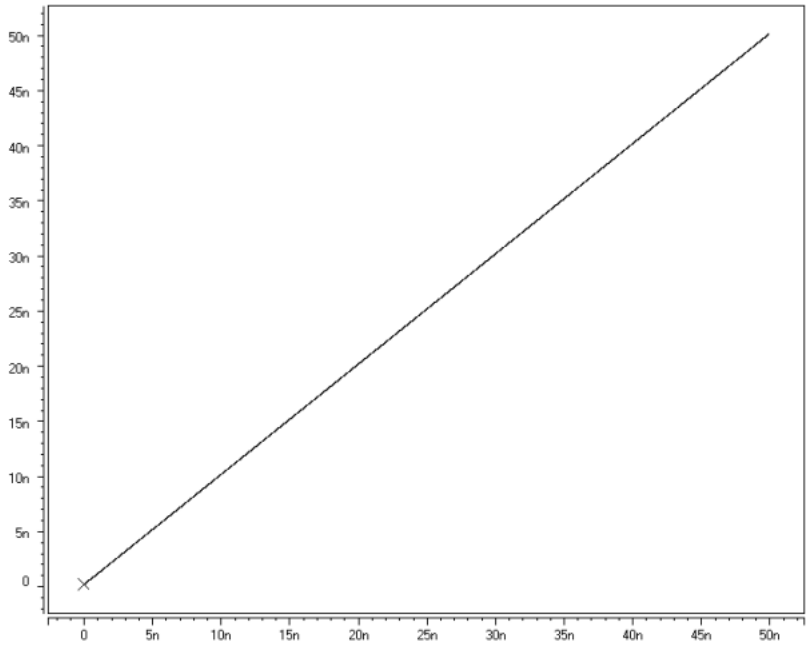
ผลการจำลองการทำงานของวงจร

ในการทดสอบการทำงานของวงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอลแบบ μ-law ที่นำเสนอ จะทำการทดสอบทั้งคุณสมบัติทางไฟตรง และทรานเซียนต์ โดยใช้โปรแกรม Hspice มาช่วยจำลองการทำงาน และใช้พารามิเตอร์ซีมอส 0.1 μm Level 49 ของ BSIM ซึ่งค่า W/L ของซีมอสที่ได้ทำการออกแบบแสดงได้ดังตารางที่ 1 แรงดันไฟเลี้ยง +2V กระแส I_{FS} = 50 nA สัญญาณนาฬิกา 8 KHz

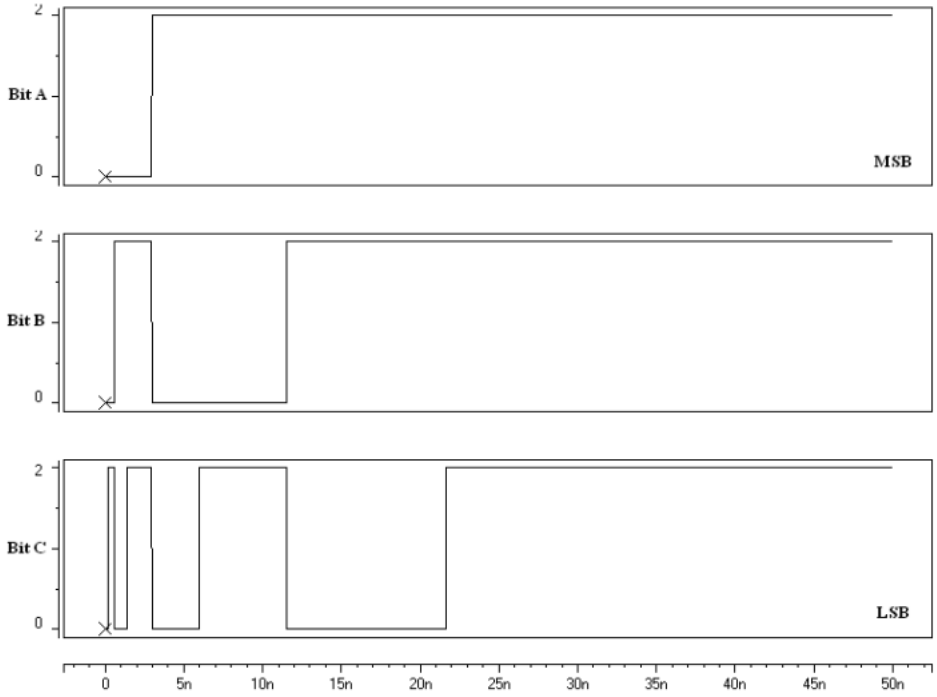
ตารางที่ 1 ขนาดของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์	ขนาด W/L
M_1-M_4	4 μm/20 μm
M_5-M_8	10 μm/3 μm
M_{11b}-M_{12b}	1 μm/1 μm
M_{13b}-M_{16b}	2 μm/1 μm
อื่นๆ	4 μm/1 μm

การทดสอบคุณสมบัติทางไฟตรงทำได้โดยการป้อนกระแสอินพุต (I_{in}) แปรค่า 0 nA ถึง 50 nA ดังรูปที่ 10 โดยกำหนดให้ ϕ_0 และ ϕ_1 ทำงานตลอดเวลา

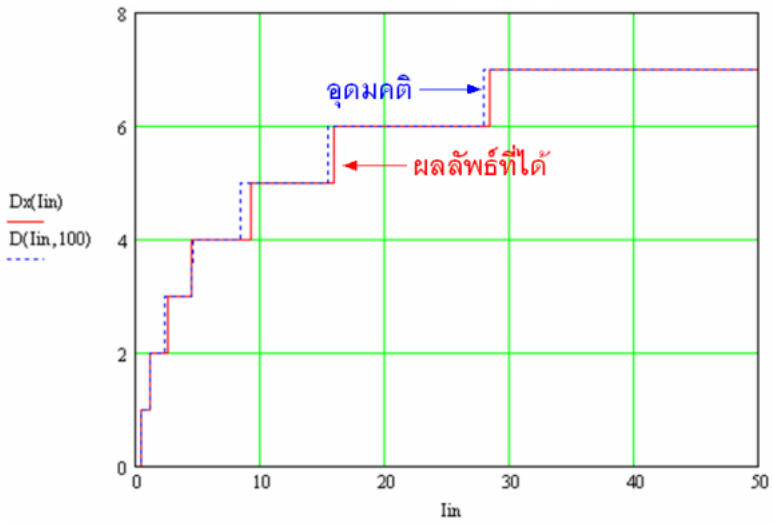


รูปที่ 10. กระแสอินพุตที่ใช้ทดสอบการทำงานของวงจร ADCแบบ μ-law ขนาด 3 บิต ที่นำเสนอ



รูปที่ 11. สัญญาณดิจิตอลเอาต์พุตในแต่ละบิตของวงจร ADCแบบ μ-law ขนาด 3 บิต ที่นำเสนอ

เพื่อเป็นการทดสอบการทำงานของวงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอลแบบ μ-law ขนาด 3 บิต ที่นำเสนอ จะนำข้อมูลตัวเลขจากการจำลองการทำงานด้วยโปรแกรม Hspice มาใช้ร่วมกับโปรแกรม Mathcad เพื่อเทียบผลกับการจำลองการทำงานกับทฤษฎี โดยกำหนดให้ μ = 100



รูปที่ 12. ทดสอบการทำงานของวงจร ADC แบบ μ-law ขนาด 3 บิต ที่นำเสนอ เทียบกับทฤษฎี ด้วยโปรแกรม Mathcad

สรุป วงจรแปลงผันสัญญาณแอนะล็อกเป็นดิจิตอล แบบ μ-law ขนาด 3 บิต ที่นำเสนอ จากผลผลการจำลองการทำงาน จะเห็นได้ว่าวงจรสามารถทำงานได้ดี สอดคล้องตามทฤษฎี และมีค่าความผิดพลาดต่ำ ภายใต้เงื่อนไขที่ซีมอสทำงานในย่านต่ำกว่าแรงดันขีดเริ่ม จึงทำให้เหมาะสมที่จะนำไปพัฒนาต่อในกรณีเพิ่มจำนวนบิตให้สูงขึ้น

เอกสารอ้างอิง

[1] J. Guilherme and J. Franca, "New CMOS Logarithmic A/D Converters Employing Pipeline and Algorithmic Architectures", Proc.IEEE International Symposium on circuits and System, pp.529-532, 1995.

[2] R. Jacob Baker, Harry W. Li and David E. Boyce, CMOS Circuit Design, Layout, and Simulation. United States of America: John Wiley & Sons, 1997

[3] R.J. Wiegerink, Analysis and Synthesis of MOS Tranlinear Circuit. United States of America: Kluwer Academic Publishers, 1993.

[4] K.S. Shanmugam, Digital and Analog Communication System. Singapore: John Wiley & Sons, 1979.