



การพัฒนางจรสายพานกระแสรุ่นที่ 2 ที่ควบคุมได้ในเชิงอิเล็กทรอนิกส์ในช่วงกว้าง

ศุภวัฒน์ ลาวัณย์วิสุทธิ์*

ผู้ช่วยศาสตราจารย์ สาขาวิศวกรรมสารสนเทศและการสื่อสาร คณะเทคโนโลยีอุตสาหกรรม มหาวิทยาลัยราชภัฏเทพสตรี

มนตรี ศิริปรัชญานันท์

รองศาสตราจารย์ ภาควิชาครุศาสตร์ไฟฟ้า คณะครุศาสตร์อุตสาหกรรม มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ

* ผู้นิพนธ์ประสานงาน โทรศัพท์ 09-5252-1621 อีเมล: s.lawanwisut@hotmail.com

รับเมื่อ 13 มีนาคม 2558 ตอบรับเมื่อ 7 กรกฎาคม 2558 เผยแพร่ออนไลน์ 6 พฤศจิกายน 2558

© 2016 King Mongkut's University of Technology North Bangkok. All Rights Reserved.

บทคัดย่อ

บทความนี้ได้นำเสนอ การปรับปรุงโครงสร้างวงจรรสายพานกระแสรุ่นที่สองที่สามารถควบคุมได้ในเชิงอิเล็กทรอนิกส์ (CCCII) โดยออกแบบให้ CCCII ทำงานในคลาสเอบี (Class AB) ผลที่ได้ทำให้ CCCII ทำงานในระดับสัญญาณช่วงกว้างได้ (Rail-to-Rail) อีกทั้งใช้วงจรคู่ผลต่าง (Differential Pair) เพื่อให้ CCCII สามารถควบคุมเชิงอิเล็กทรอนิกส์ในช่วงกว้าง ซึ่งการปรับปรุง CCCII ในบทความนี้จะใช้เทคโนโลยี CMOS และเพื่อเป็นการยืนยันผลสมรรถนะของ CCCII ที่นำเสนอ จะถูกจำลองการทำงานด้วยโปรแกรม PSPICE

คำสำคัญ: วงจรรสายพานกระแสรุ่นที่สอง

การอ้างอิงบทความ: ศุภวัฒน์ ลาวัณย์วิสุทธิ์ และ มนตรี ศิริปรัชญานันท์, “การพัฒนางจรสายพานกระแสรุ่นที่ 2 ที่ควบคุมได้ในเชิงอิเล็กทรอนิกส์ในช่วงกว้าง,” วารสารวิชาการพระจอมเกล้าพระนครเหนือ, ปีที่ 26, ฉบับที่ 1, หน้า 41-49, ม.ค.-เม.ย. 2559.

DOI: 10.14416/j.kmutnb.2015.07.008



An Improved Wideband Current Controlled Second Generation Current Conveyor

Supawat Lawanwisut*

Assistant Professor, Department of Information and Communication Engineering, Faculty of Industrial Technology, Thepsatri Rajabhat University, Lop Buri, Thailand

Montree Siripruchyanun

Associate Professor, Department of Teacher Training in Electrical Engineering, Faculty of Technical Education, King Mongkut's University of Technology North Bangkok, Bangkok, Thailand

* Corresponding Author, Tel. 09-5252-1621, E-mail: s.lawanwisut@hotmail.com

Received 13 March 2015; Accepted 7 July 2015; Published online: 6 November 2015

© 2016 King Mongkut's University of Technology North Bangkok. All Rights Reserved.

Abstract

This paper presented the development of the second generation current controlled current conveyor (CCCII) by designing to operate in class-AB. As a result, the CCCII can operate in a wide range of signal levels (Rail-to-Rail) and can employ a differential pair circuit to control the current in wideband. The CCCII improvement in this paper was conducted by using CMOS technology. The performance of the proposed CCCII is simulated using PSPICE program to ensure its efficiency.

Keywords: Second Generation Current Controlled Current Conveyor

1. บทนำ

ในปี ค.ศ. 1968 Smith และ Sedra ได้นำเสนอวงจรสายพานกระแสรุ่นที่หนึ่ง (CC1) [1] ต่อมาในปี ค.ศ. 1970 ได้มีการนำเสนอวงจรสายพานกระแสรุ่นที่สอง (CCII) [2] นับตั้งแต่นั้นเป็นต้นมา CCII ได้พิสูจน์ให้เห็นว่ามีความเหมาะสมในการออกแบบวงจรแอนะล็อก อีกทั้งยังมีความสนใจในออกแบบและการพัฒนา CCII ให้มีประสิทธิภาพสูงสำหรับการประยุกต์ใช้งานที่หลากหลายมากยิ่งขึ้น [3]–[5] แต่แนวทางการพัฒนา CCII ที่น่าสนใจอีกทางเลือกหนึ่ง คือการออกแบบให้ CCII สามารถควบคุมได้ในเชิงอิเล็กทรอนิกส์ (Second Generation Current Conveyor; CCCII) หรือการปรับค่าความต้านทานแฝง (Parasitic Resistance) จากกระแสไบแอสที่ขา X ของ CCII [6]–[8]

ในปี ค.ศ. 1988 Surakamponorn และ Thitimajshima [9] ได้นำเสนอวงจรสายพานกระแสที่มีคุณสมบัติของการปรับค่าได้ทางอิเล็กทรอนิกส์ (Electronically Tunable Second Generation Current Conveyor หรือ ECCII) ที่ออกแบบด้วยหลักการของวงจรรวมแบบเทคโนโลยีไบโพลาร์ ต่อมาในปี ค.ศ. 1992 Surakamponorn และ Kumwachara [10] ได้นำเสนอหลักการออกแบบวงจรขยายสัญญาณกระแสขนาดเล็กแบบสร้างเป็นเทคโนโลยีซีมอส และใช้วงจรขยายกระแสสัญญาณนี้ในการออกแบบวงจรสายพานกระแสแบบปรับค่าได้ด้วยวิธีอิเล็กทรอนิกส์ ซึ่งวงจรทำงานคล้ายคลึงกับวงจรใน [9] ซึ่งเป็นวงจรที่ทำงานในคลาสเอ (Class A) อาจมีผลให้เกิดความผิดเพี้ยนทางฮาร์โมนิกมากได้ ดังนั้น Fabre และ Mimeche [11] ได้นำเสนอวงจรที่ทำงานในคลาสเอบี (Class AB) แบบเทคโนโลยีไบโพลาร์ไว้ในปี ค.ศ. 1997 เพื่อแก้ปัญหาค่าความผิดเพี้ยนทางฮาร์โมนิกที่สูงได้

ปัจจุบันอุปกรณ์อิเล็กทรอนิกส์ได้มีการพัฒนาไปอย่างก้าวกระโดด สิ่งที่เราได้เห็นได้อย่างเด่นชัด คืออุปกรณ์อิเล็กทรอนิกส์แบบพกพา (โทรศัพท์มือถือ แท็บเล็ต โน้ตบุ๊ก ฯลฯ) โดยเป็นที่ทราบกันดีว่าหลักการในการออกแบบวงจรรวม (Integrated Circuit: IC) ภายในตัวอุปกรณ์

อิเล็กทรอนิกส์แบบพกพา นิยมออกแบบให้วงจรมีช่วงกว้างของความถี่ปฏิบัติ ใช้แรงดันไฟเลี้ยงต่ำ และมีอัตราบริโภคกำลังไฟฟ้าต่ำ [12] แต่ผลกระทบเมื่อทำการออกแบบให้วงจรมีช่วงกว้างความถี่ปฏิบัติงาน จะทำให้วงจรเกิดการสูญเสียกำลังงาน (Power Dissipate) เพิ่มขึ้นตามไปด้วย ซึ่งทำให้วงจรใช้แรงดันไฟเลี้ยง และอัตราบริโภคกำลังไฟฟ้าที่เพิ่มขึ้นตามไปด้วย [13]

จากการศึกษางานวิจัยที่เกี่ยวข้องกับวงจรสายพานกระแสมีอยู่เป็นจำนวนมาก ถ้าจะกล่าวถึงทั้งหมดจะไม่สามารถสามารถทำการศึกษาได้อย่างละเอียด ดังนั้นในบทความนี้จะเป็นการนำเสนอแนวคิดในการปรับปรุงวงจรสายพานกระแสรุ่นที่ 2 ที่ออกแบบโดยใช้วงจรคู่ผลต่าง ซึ่งเป็นวงจรพื้นฐานที่สำคัญวงจรหนึ่งในการออกแบบวงจรรวม โดยจะทำการพัฒนา CCCII ให้มีช่วงกว้างของความถี่ปฏิบัติงาน อีกทั้งพยายามออกแบบให้ใช้แรงดันไฟเลี้ยงและอัตราบริโภคกำลังไฟฟ้าที่ต่ำ รวมไปถึงจนถึงปรับปรุงค่าความต้านทานแฝงที่ขา X ให้สามารถควบคุมได้จากกระแสไบแอสในช่วงกว้าง โดยใช้เทคโนโลยี CMOS ขนาด $0.18\ \mu\text{m}$ ผลสมรรถนะของ CCCII จะถูกยืนยันผ่านการจำลองการทำงานด้วยโปรแกรม PSPICE

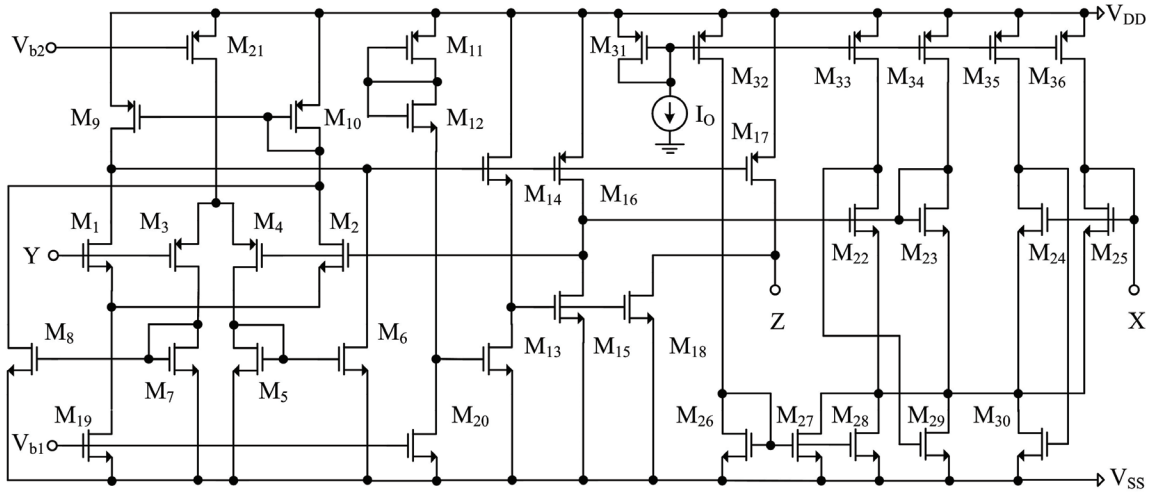
2. วงจรสายพานกระแสที่ควบคุมได้ในเชิงอิเล็กทรอนิกส์ในช่วงกว้าง

2.1 หลักการทำงานของ CCCII

โครงสร้างของ CCCII ที่พัฒนางจรเป็นแบบคลาสเอบี [5] ซึ่งความสัมพันธ์ของแรงดันและกระแสที่ขา X , Y และ Z ของ CCCII แสดงในสมการที่ (1) เมื่อ R_x คือค่าความความต้านทานแฝงที่ขา X ของ CCCII

$$\begin{bmatrix} I_Y \\ V_X \\ I_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_X & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} V_Y \\ I_X \\ V_Z \end{bmatrix} \quad (1)$$

รูปที่ 1 แสดงให้เห็นโครงสร้างภายในของ CCCII ที่ออกแบบในคลาสเอบี โดยในส่วนของวงจรคู่ผลต่าง



รูปที่ 1 โครงสร้างของ CCCII ที่ทำงานในคลาสเอบี

จะกำหนดให้ทำงานในระดับสัญญาณช่วงกว้าง (Rail-to-Rail) ที่ขา Y และ X ทรานซิสเตอร์ M_1, M_2 สามารถทำให้วงจรใช้กับไฟเลี้ยงบวก และในส่วนของทรานซิสเตอร์ M_3, M_4 จะทำงานเมื่อสัญญาณเริ่มกระเพื่อมต่ำลงจนไปถึงไฟเลี้ยงลบ ทรานซิสเตอร์ M_5, M_6, M_7, M_8 ทำหน้าที่เป็นวงจรสะท้อนกระแส (Current Mirror) โดยกระแสทั้งหมดจะถูกรวมไปยังขาเดรน (Drain) ของทรานซิสเตอร์ M_1, M_2 และทรานซิสเตอร์ M_9, M_{10} จะทำหน้าที่รักษาระดับของกระแสให้มีค่าเท่ากัน ดังนั้นจึงทำให้แรงดัน $V_Y = V_X$ ทรานซิสเตอร์ M_{15}, M_{16} เป็นวงจรพุช-พูล (Push-pull), M_{13}, M_{14} จะทำหน้าที่ปรับการไบแอสให้มีความเหมาะสมกับ M_{15} ดังนั้นเมื่อมีกระแสไหลที่จุดนี้แล้วจะทำให้แรงดันขาเกต (Gate) ของ M_{15}, M_{16} ลดต่ำลงทำให้กระแสที่ไหลผ่าน M_{16} มีค่าสูงขึ้นและกระแสที่ไหลผ่าน M_{15} จะลดลง ในทำนองเดียวกันถ้าเกิดเป็นกระแสซิงค์ขึ้น (Sink Current) แรงดันที่ขาเกตของ M_{15}, M_{16} จะเพิ่มสูงขึ้นจะส่งผลให้กระแสที่ไหลผ่าน M_{16} ลดลงต่ำลง และกระแส M_{15} จะสูงขึ้นจะสังเกตเห็นว่าถ้า M_{15}, M_{16} ทำงานแบบพุช-พูล แล้วจะทำให้วงจรมีการสูญเสียกำลังงานต่ำ ดังนั้นการออกแบบวงจรควรให้กระแสในโหมดพร้อมทำงานมีค่าที่ต่ำ เพื่อลดกำลังงานสูญเสียภายในวงจรซึ่งสามารถควบคุมได้

จากแรงดันที่ขาเกต M_{13} ให้มีความเหมาะสม เมื่อกำหนดให้ M_{13}, M_{14} มีความสมพียงกันทุกประการจะสามารถหาค่าแรงดันที่ขาเกตของ M_{13} (V_{BB}) แสดงดังนี้ [5], [14]

$$V_{BB} = V_{G16} - V_{G15} + V_{SS} \quad (2)$$

ต่อมาในส่วนของวงจรที่ทำหน้าที่เป็นค่าความต้านทานแฝง (Parasitic Resistance) ที่ขา X ทรานซิสเตอร์ $M_{22}-M_{25}, M_{23}-M_{24}$ ทำหน้าที่เป็นวงจรคู่ผลต่าง $M_{29}-M_{30}$ จะปรับลดอิมพีแดนซ์ที่ขาเดรน ของ M_{22}, M_{24} ตามลำดับ ส่งผลให้วงจรคู่ผลต่างทำงานได้ที่แรงดันไฟเลี้ยงต่ำ $M_{26}-M_{28}$ และ $M_{31}-M_{36}$ เป็นวงจรสะท้อนกระแส เพื่อเปลี่ยนแปลงค่าจากการปรับกระแสไบแอส (I_O) เมื่อ $k_n = \mu_n C_{ox}$ คือค่าความคล่อง และค่าความจุออกไซด์ของทรานซิสเตอร์ $M_{22}-M_{25}$ สามารถแสดงค่าความต้านทานแฝงได้ดังนี้ [15]

$$R_X = \frac{1}{\sqrt{2I_O k_n (W/L)}} \quad (3)$$

จากสมการที่ (3) จะพบว่าค่าความต้านทานแฝงที่ขา X ในตัวส่วนจะถูกคูณอยู่กับค่าคงที่ซึ่งมีค่าเท่ากับ 2

เมื่อเปรียบเทียบกับวงจรที่ได้มีผู้นำเสนอไปก่อนหน้านี้ ค่าความต้านทานแฝงของวงจรที่ถูกลอกแบบด้วย CMOS ในส่วนของตัวคูณจะถูกคูณอยู่กับค่าคงที่มีค่าเท่ากับ 8 [16] ซึ่งเมื่อดูจากสมการค่าความต้านทานแฝงของวงจรที่นำเสนอจะแสดงให้เห็นว่าสามารถที่จะปรับค่าความต้านทานได้ในย่านที่กว้างกว่า เมื่อปรับค่ากระแสไบแอสให้มีค่าต่ำๆ

2.2 ผลจำลองการทำงาน

ผลสมรรถนะของ CCCII ที่ออกแบบและพัฒนาจะถูกยืนยันผลด้วยโปรแกรมจำลองการทำงาน PSPICE โดยใช้เทคโนโลยี CMOS ขนาด $0.18 \mu\text{m}$ ของ MOSIS พารามิเตอร์ที่ใช้แสดงไว้ในตารางที่ 1 กำหนดให้วงจรทำงานที่แรงดันไฟเลี้ยง $\pm 0.75 \text{ V}$ และทำการไบแอสกระแสผ่านทรานซิสเตอร์ M_{19} - M_{21} ให้มีค่าเท่ากับ $1 \mu\text{A}$ โดยการกำหนดให้ V_{b1} และ V_{b2} มีค่าเท่ากับ 0.1 V อัตราส่วนของทรานซิสเตอร์ (W/L) แสดงไว้ในตารางที่ 2 [5], [17]

ตารางที่ 1 พารามิเตอร์ของทรานซิสเตอร์

พารามิเตอร์ NMOS
MODEL CMOSN NMOS LEVEL = 49 +VERSION = 3.1 TNOM = 27 TOX = 4.1E-9 +XJ = 1E-7 NCH = 2.3549E17 VTH0 = 0.3694303 +K1 = 0.5789116 K2 = 1.110723E-3 K3 = 1E-3 +K3B = 0.0297124 W0 = 1E-7 NLX = 2.037748E-7 +DVT0W = 0 DVT1W = 0 DVT2W = 0 +DVT0 = 1.2953626 DVT1 = 0.3421545 DVT2 = 0.0395588 +U0 = 293.1687573 UA = -1.21942E-9 UB = 2.325738E-18 +UC = 7.061289E-11 VSAT = 1. A0 = 2+AGS = 0.4764546 B0 = 1.617101E-7 B1 = 5E-6 +KETA = -0.0138552 A1 = 1.09168E-3 A2 = 0.3303025 +RDSW = 105.6133217 PRWG = 0.5 PRWB = -0.2 +WR = 1 WINT = 2.885735E-9 LINT = 1.715622E-8 +XL = 0 XW = -1E-8 DWG = 2.754317E-9 +DWB = -3.690793E-9 VOFF = -0.0948017 NFACTOR = 2.1860065 +CIT = CDSC = 2.4E-4 CDSCD = 0 +CDSCB = 0 ETA0 = 2.665034E-3 ETAB = 6.028975E-5 +DSUB = 0.0442223 PCLM = 1.746064 PDIBLC1 = 0.3258185 +PDIBLC2 = 2.701992E-3 PDIBLCB = -0.1 DROUT = 0.9787232 +PSCBE1 = 4.494778E10 PSCBE2 = 3.672074E-8 PVAG = 0.0122755 +DELTA = 0.01 RSH = 7 MOBMOD = 1 +PRT = 0 UTE = -1.5 KT1 = -0.11 +KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9 +UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4 +WL = 0 WLN = 1 WW = 0 +WWN = 1 WWL = 0 LL = 0 +LLN = 1 LW = 0 LWN = 1 +LWL = 0 CAPMOD = 2 XPART = 0.5 +CGDO = 8.58E-10 CGSO = 8.58E-10 CGBO = 1E-12 +CJ = 9.471097E-4 PB = 0.8 MJ = 0.3726161 +CJSW = 1.905901E-10 PBSW = 0.8 MJSW = 0.1369758 +CJSWG = 3.3E-10 PBSWG = 0.8 MJSWG = 0.1369758 +CF = 0 PVTH0 = -5.105777E-3 PRDSW = -1.1011726 +PK2 = 2.247806E-3 WKETA = -5.071892E-3 LKETA = 5.324922E-4 +PU0 = -4.0206081 PUA = -4.48232E-11 PUB = 5.018589E-24 +PVSAT = 2E3 PETA0 = 1E-4 PKETA = -2.090695E-3

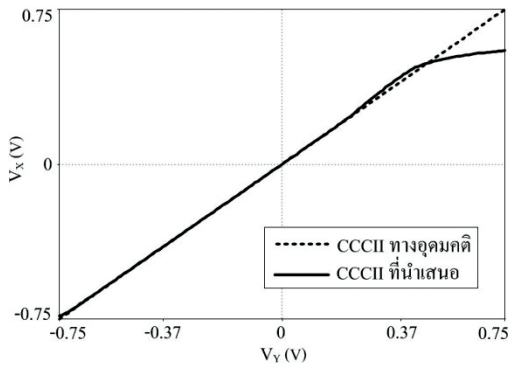
ตารางที่ 1 พารามิเตอร์ของทรานซิสเตอร์ (ต่อ)

พารามิเตอร์ PMOS
MODEL CMOSP PMOS LEVEL = 49 +VERSION = 3.1 TNOM = 27 TOX = 4.1E-9 +XJ = 1E-7 NCH = 4.1589E17 VTH0 = -0.3823437 +K1 = 0.5722049 K2 = 0.0219717 K3 = 1.576753 +K3B = 4.2763642 W0 = 1E-6 NLX = 1.104212E-7 +DVT0W = 0 DVT1W = 0 DVT2W = 0 +DVT0 = 0.6234839 DVT1 = 0.2479255 DVT2 = 0.1 +U0 = 109.4682454 UA = 1.31646E-9 UB = 1E-21 +UC = -1E-10 VSAT = 1.054892E5 A0 = 1.5796859 +AGS = 0.3115024 B0 = .729297E-7 B1 = 1.446715E-6 +KETA = 0.0298609 A1 = 0.3886886 A2 = 0.4010376 +RDSW = 199.1594405 PRWG = 0.5 PRWB = -0.4947034 +WR = 1 WINT = 0 LINT = 2.93948E-8 +XL = 0 XW = -1E-8 DWG = -1.998034E-8 +DWB = -2.481453E-9 VOFF = -0.0935653 NFACTOR = 2 +CIT = 0CDSC = 2.4E-4 CDSCD = 0 +CDSCB = 0 ETA0 = 3.515392E-4 ETAB = -4.804338E-4 +DSUB = 1.215087E-5 PCLM = 0.96422 PDIBLC1 = 3.026627E-3 +PDIBLC2 = -1E-5 PDIBLCB = -1E-3 DROUT = 1.117016E-4 +PSCBE1 = 7.999986E10 PSCBE2 = 8.271897E-10 PVAG = 0.0190118 +DELTA = 0.01 RSH = 8.1 MOBMOD = 1 +PRT = 0 UTE = -1.5 KT1 = -0.11 +KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9 +UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4 +WL = 0 WLN = 1 WW = 0 +WWN = 1 WWL = 0 LL = 0 +LLN = 1 LW = 0 LWN = 1 +LWL = 0 CAPMOD = 2 XPART = 0.5 +CGDO = 7.82E-10 CGSO = 7.82E-10 CGBO = 1E-12 +CJ = 1.214428E-3 PB = 0.8461606 MJ = 0.4192076 +CJSW = 2.165642E-10 PBSW = 0.8 MJSW = 0.3202874 +CJSWG = 4.22E-10 PBSWG = 0.8 MJSWG = 0.3202874 +CF = 0 PVTH0 = 5.167913E-4 PRDSW = 9.5068821 +PK2 = 1.095907E-3 WKETA = 0.0133232 LKETA = -3.648003E-3 +PU0 = -1.0674346 PUA = -4.30826E-11 PUB = 1E-21 +PVSAT = 50 PETA0 = 1E-4 PKETA = -1.822724E-3

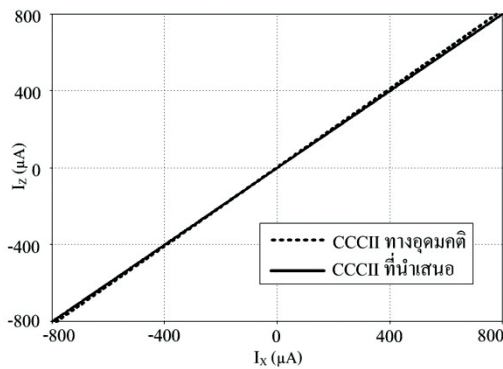
ตารางที่ 2 อัตราส่วน W/L ของทรานซิสเตอร์

ทรานซิสเตอร์	$W/L (\mu\text{m})$
M_1, M_2, M_5 - M_8	20/4
M_3, M_4	30/4
M_9, M_{10}	40/4
M_{11}, M_{16} - M_{17}	200/4
M_{12}, M_{15}, M_{18}	90/4
M_{13}, M_{14}	4/4
M_{19} - M_{21}	0.27/49
M_{22} - M_{25}	2/0.7
M_{26} - M_{36}	30/0.7

รูปที่ 2 แสดงการส่งผ่านแรงดันของ CCCII ที่นำเสนอ จากรูปจะพบว่าผลที่ได้ใกล้เคียงกับทางอุดมคติ และวงจรยังสามารถทำงานได้ในระดับสัญญาณช่วงกว้างอยู่ที่ -0.74 V ถึง 0.51 V รูปที่ 3 แสดงการส่งผ่านกระแสของวงจรที่นำเสนอสามารถทำงานได้ดีเมื่อเทียบกับการส่งผ่านกระแสทางอุดมคติ ซึ่งระดับของสัญญาณอยู่ที่ $-300 \mu\text{A}$ ถึง $250 \mu\text{A}$

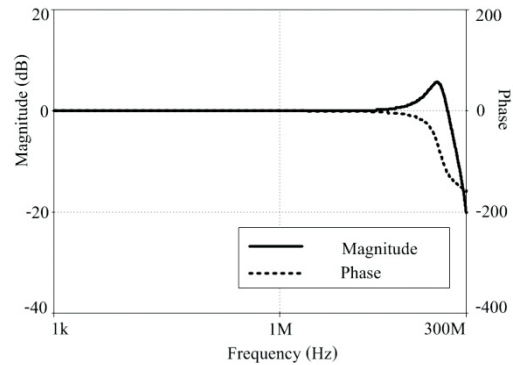


รูปที่ 2 การส่งผ่านแรงดันระหว่างขา Y และขา X

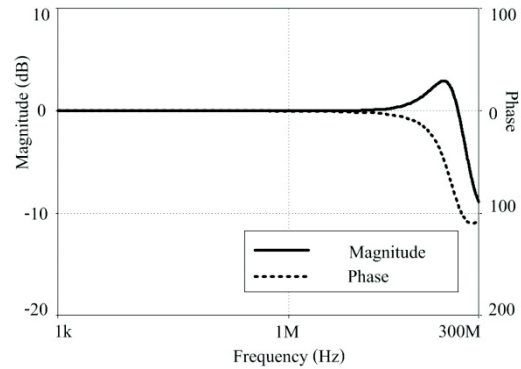


รูปที่ 3 การส่งผ่านกระแสระหว่างขา X และขา Z

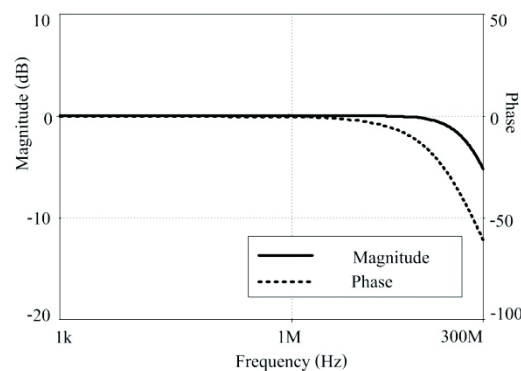
รูปที่ 4 ผลตอบสนองทางความถี่ (Magnitude) และเฟส (Phase) ของการส่งผ่านแรงดันระหว่างขา Y และขา X ได้สูงถึง 28.18 MHz รูปที่ 5 ผลตอบสนองทางความถี่ และเฟสของการส่งผ่านกระแสระหว่างขา X และขา Z จะได้อยู่ที่ 16.83 MHz รูปที่ 6 กำหนดให้กระแสไบแอส (I_O) มีค่าเท่ากับ $50 \mu A$ หรือที่ค่าความต้านทาน $7 k\Omega$ [16] ผลตอบสนองทางความถี่และเฟสของค่าความต้านทานแฝง (R_x) จะสูงถึง 51.40 MHz และในรูปที่ 7 เมื่อกำหนดให้แรงดันอินพุตมีค่าเท่ากับ 0.35 V จากผลจำลองการทำงาน สามารถปรับค่าความต้านทานได้จากกระแสไบแอส (I_O) $0 \mu A$ ถึง $500 \mu A$ ซึ่งค่าความต้านทานที่วงจรสามารถตอบสนองได้ดี จะมีค่าใช้งานในย่านกว้างตั้งแต่ 390 k Ω ถึง 700 Ω



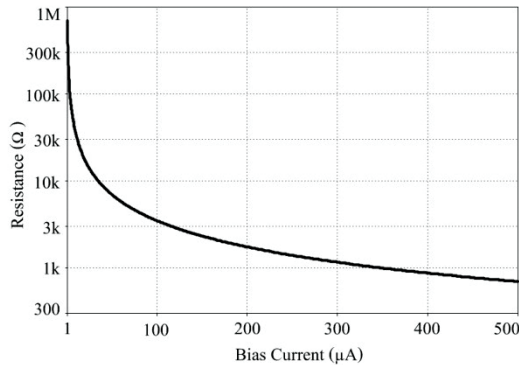
รูปที่ 4 ผลตอบสนองทางความถี่ และเฟสระหว่างขา Y และขา X อยู่ที่ 28.18 MHz



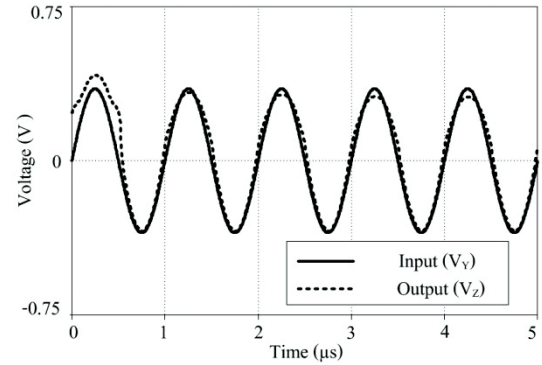
รูปที่ 5 ผลตอบสนองทางความถี่ และเฟสระหว่างขา X และขา Z อยู่ที่ 16.83 MHz



รูปที่ 6 ผลตอบสนองทางความถี่ และเฟสของค่าความต้านทานแฝง (R_x) อยู่ที่ 73.45 MHz



รูปที่ 7 ค่าความต้านทานแฝง



รูปที่ 8 ทดสอบการทำงานของ CCCII ด้วยสัญญาณไซน์

รูปที่ 8 กำหนดแรงดันที่จะใช้ทดสอบเป็นสัญญาณไซน์ป้อนเข้าที่อินพุตของ CCCII หรือที่ขา Y และในขณะเดียวกันที่ขา Z จะกำหนดให้เป็นเอาต์พุตซึ่งจะต่อรวมอยู่กับตัวต้านทานที่มีค่า $12.4 \text{ k}\Omega$ เพื่อแปลงผิวนค่าของกระแสให้เป็นแรงดัน เพื่อทำการตรวจสอบการส่งผ่านแรงดันจากขา Y ไปยังขา X อีกทั้งตรวจสอบความถูกต้องของค่าความต้านทานแฝงที่ได้ออกแบบไว้ที่ขา X ซึ่งกำหนด

ให้มีค่า $12.4 \text{ k}\Omega$ โดยการปรับกระแสไบแอส (I_O) ให้มีค่าเท่ากับ $50 \mu\text{A}$ จากผลจำลองการทำงาน พบว่าวงจรมีความผิดเพี้ยนฮาร์มอนิกรวมเพียง 0.0083% ที่ความถี่ 1 MHz อีกทั้งวงจรยังสามารถทำงานได้อย่างสอดคล้องกับสมการที่ (1) จากผลจำลองการทำงานในรูปที่ 2-7 ได้สรุปและเปรียบเทียบผลกับวงจรที่ได้นำเสนอไว้ก่อนหน้านี้ในตารางที่ 3

ตารางที่ 3 ผลการเปรียบเทียบสมรรถนะ CCCII

พารามิเตอร์	วงจรที่นำเสนอ	[16]	[18]	[19]
แรงดันไฟเลี้ยง	$\pm 0.75 \text{ V}$	$\pm 1 \text{ V}$	$\pm 3.3 \text{ V}$	$\pm 3 \text{ V}$
ย่านการทำงานที่ขา Y	-0.74 V ถึง 0.51 V	-0.7 V ถึง 0.7 V	-1.3 V ถึง 1.4 V	-0.63 ถึง 0.25
อัตราบริโภคกำลังงานไฟฟ้า	23 mW	-	$815 \mu\text{W}$	-
ผลตอบสนองความถี่ (V_X/V_Y)	28.18 MHz	3.34 GHz	512 MHz	1150 MHz
ผลตอบสนองความถี่ (I_Z/I_X)	16.83 MHz	4.37 GHz	572 MHz	76 MHz
ผลตอบสนองความถี่ (R_X)	73.45 MHz	-	-	-
ความต้านทานแฝง	700Ω ถึง $390 \text{ k}\Omega$	169Ω ถึง 850Ω	12.6Ω	5.9Ω
ความผิดเพี้ยนฮาร์มอนิกรวม	$0.0083\% @ 1 \text{ MHz}$	$0.41\% @ 1 \text{ MHz}$	-	$0.0919\% @ 100 \text{ kHz}$

3. สรุป

บทความนี้ได้นำเสนอการออกแบบ CCCII โดยใช้ข้อดีของการทำงานในคลาสเอบี เพื่อแก้ไขข้อจำกัดของวงจรที่ทำงานในคลาสเอ ซึ่งวงจรจะไม่สามารถทำงานในระดับสัญญาณช่วงกว้างได้ (Rail-to-Rail) ส่งผลให้วงจรที่ออกแบบในบทความนี้สามารถทำงานในย่านกว้างตั้งแต่ -0.74 V ถึง 0.51 V ที่แรงดันไฟเลี้ยง $\pm 0.75\text{ V}$ อัตราบริโภคกำลังงานไฟฟ้าอยู่ที่ 23 mW อีกทั้งออกแบบให้ขา X มีค่าความต้านทานแปรโดยสามารถควบคุมค่าความต้านทานในย่านกว้างตั้งแต่ระดับ Ω ถึง $\text{k}\Omega$ โดยการปรับค่าแรงดัน V_{b1} และ V_{b2} ซึ่งจะทำให้วงจรที่ออกแบบสามารถลดการใช้อุปกรณ์แอคทีฟต่อร่วมกับวงจร โดยเฉพาะตัวต้านทาน อีกทั้งสำหรับการออกแบบวงจรที่ต้องการผลตอบแทนของความถี่ในช่วงกว้าง เช่น ในเครื่องช่วยฟัง นอกเหนือจากนี้วงจรยังสามารถทำงานได้อย่างถูกต้องที่ระดับแรงดันไฟเลี้ยงต่ำ โดยวงจรที่ออกแบบจะความผิดพลาดเพียงเล็กน้อยเพียง 0.0083% ที่ความถี่ใช้งาน 1 MHz สำหรับการวิจัยในครั้งต่อไป ผู้เขียนมีแนวทางทำการปรับปรุงแรงดันไฟเลี้ยงของวงจรให้มีค่าต่ำลง ลดจำนวนของการใช้ทรานซิสเตอร์ภายในวงจร อีกทั้งนำเสนอสมรรถนะของวงจรประยุกต์ใช้งานที่ถูกออกแบบด้วย CCCII เพื่อนำไปสู่การพัฒนาปรับปรุงให้เหมาะสม จนสามารถนำไปผลิตใช้งานจริง

เอกสารอ้างอิง

- [1] K. C. Smith and A. Sedra, "The current conveyor—A new circuit building block," *Proceeding of the IEEE*, vol. 56, pp. 1368–1369, 1968.
- [2] A. Sedra and K. C. Smith, "A second-generation current conveyor and its applications," *IEEE Transactions on Circuit Theory*, vol. 17, pp. 132–134, 1970.
- [3] F. Gohh, G. W. Roberts, and A. Sedra, "The current conveyor: History, progress and new results," *IEE Proceedings-G*, vol. 137, no. 2, pp. 78–87, 1990.
- [4] B. Wilson, "Recent developments in current conveyors and current-mode circuits," *IEE Proceedings-G*, vol. 137, no. 2, pp. 63–77, 1990.
- [5] H. O. Elwan and A. M. Soliman, "Low-voltage low-power CMOS current conveyors," *IEEE Transactions on Circuits Systems—I: Fundamental Theory and Application*, vol. 44, no. 9, pp. 828–835, 1997.
- [6] A. Fabre, O. Saaïd, F. Wiest, and C. Boucheron, "Current controlled bandpass filter based on translinear conveyor," *Electronics Letters*, vol. 31, no. 20, pp. 1727–1728, 1995.
- [7] A. Fabre, O. Saaïd, F. Wiest, and C. Boucheron, "High frequency application based on new current conveyor," *IEEE Transactions on Circuits Systems—I: Fundamental Theory and Application*, vol. 43, no. 2, pp. 82–91, 1996.
- [8] W. Kiranon, J. Keson, and P. Wardkein, "Current controlled oscillator based on translinear conveyor," *Electronics Letters*, vol. 32, no. 15, pp. 1330–1331, 1996.
- [9] W. Surakamponporn and P. Thitimasjshima, "Integrable electronically tunable current conveyors," *IEE Proceedings*, vol. 135, no. 2, pp. 71–77, 1988.
- [10] W. Surakamponporn and K. Kumwachara, "CMOS-based electronically tunable current conveyor," *Electronics Letters*, vol. 28, no. 14, pp. 1316–1317, 1992.
- [11] A. Fabre and N. Mimeche, "Class A/AB second-generation current conveyor with controlled current gain," *Electronics Letters*, vol. 30, no. 16, pp. 1268–1269, 1994.
- [12] C. Toumazou, F. J. Lidgley, and D. G. Haigh, "Current conveyor theory and practice. Analog



- IC Design: The current mode approach,” *Peter Peregrinus*, London, 1990.
- [13] W.S. Hassanein, I.A. Awad, and A.M. Soliman, “Long tail pair based positive CMOS current conveyoir: a review,” *Frequenz*, vol. 59, no.7–8, pp. 186–194, 2005.
- [14] W. Surakamponporn, V. Riewruja, K. Kumwachara, and K. Dejhan, “Accurate CMOS-based current conveyors,” *IEEE Transactions on Instrumentation and Measurement*, vol. 40, no. 4, pp. 699–702, 1991.
- [15] S. Tekin, H. Ercan, and M. Alci, “Novel Low Voltage CMOS Current Controlled Floating Resistor Using Differential Pair,” *Radioengineering*, vol. 22, no. 2, pp. 428–433, 2013.
- [16] N. Hassen, T. Ettaghzouti, and K. Besbes, “High-performance Second-Generation Controlled Current Conveyor CCCII and High Frequency Applications,” *World Academy of Science Engineering and Technology*, vol. 60, pp. 921–930, 2011.
- [17] A. Lahiri, “A. New CMOS-based resistorless current-mode first order all-pass filter using only ten transistors and one external capacitor.” *Radioengineering*, vol. 20, no. 3, pp. 638–643, 2011.
- [18] E. Arslan and A. Morgul, “Wideband current conveyor with rail to rail input stage,” in *5th International Conference on Electrical and Electronics Engineering, ELECO 2007*, pp. 66–70.
- [19] S. Hassanein, A. Awad, and M. Soliman, “New Wide Band Low Power CMOS Current Conveyors,” *Analog Integrated Circuits and Signal Processing*, vol. 40, pp. 91–97, 2004.