วิศวกรรมสาร ม.ข. ปีที่ 30 ฉบับที่ 2 (103-113) เมษายน-มิถุนายน 2546
KKU Engineering Journal Vol. 30 No. 2 (103-113) April-June 2003

เทคนิคการรับส่งข้อมูลดิจิตอลแบบไร้สาย

เอกภูมิ วินันท์
สกล กิจจา
นักศึกษา
ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพมหานคร

อาจินต์ น่วมสำราญ
ทรงชัย วีระทวีมาศ
ผศ. ประภาษ อุคคกิมพันธุ์
อาจารย์
ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพมหานคร 10520
โทร/โทรสาร: (02)326-7346-7 ต่อ 128 E-mail: knarjin@kmitl.ac.th

บทคัดย่อ

บทความนี้เป็นการนำเสนอเทคนิคการส่งข้อมูลดิจิตอลแบบไร้สาย โดยใช้เทคนิคการมอดูเลเตอร์โดยตรง ซึ่งวิธีนี้ได้นำไอซีที่มีทั้งวงจรมอดูเลเตอร์และวงจรมิกเซอร์ภายในตัวเดียวกันมาใช้งาน ลักษณะการติดต่อที่ใช้นี้เป็นแบบมัลติโปรเซสเซอร์ขนาด 8 bits ระบบสื่อสารไร้สายมีวิธีการส่งในย่านความถี่ VHF (very high frequency) โดยใช้เทคนิคการมอดูเลเตอร์แบบ BFSK (binary frequency shift keying) และมีการนำเอาวงจรเฟสล็อคลูปมาใช้ในการดีมอดูเลเตอร์โดยการ ซึ่งวิธีนี้สามารถที่จะช่วยลดขั้นตอนในการมอดูเลเตอร์และดีมอดูเลเตอร์ ซึ่งทำให้วงจรที่ใช้ในการรับส่งมีขนาดเล็ก

A Technique wireless Digital Transceiver

Eakapoom Winunt
Sakol Kijja
Graduated Student
Department of Instrumentation Engineering
Faculty of Engineering, King Mougkut's Instutite of Technology LadKrabang

Arjin Numsomran
Songchai Weerathaweemas
Asst. Prof. Prapart Ukakimaparn
Lecturer
Department of Instrumentation Engineering
Faculty of Engineering, King Mougkut's Instutite of Technology LadKrabang

Abstract

This paper presents the technique wireliss digital transceiver by technique direct-modulator. This method use IC which has the modulator circuit and the mixer circuit. The data can transmit to multi data processor by wireless communication with binary frequency shift keying modulation scheme at carrier frequency in V.H.F. Band. Then the data of multi data processor can with decode algrithm. The data is decoded by the phase lock loop circuit. The technique decrease process in modulator and demodulator.

บทนำ

ในการส่งข้อมูลดิจิตอลโดยทั่วไปนั้นอาจมีข้อจำกัดหลายด้าน ทั้งในด้านระยะทางและอุปสรรคเช่น สิ่งกีดขวางเนื่องจากเป็นการส่งข้อมูลทางสายนำสัญญาณยุ่งยากในการเดินสาย และการเคลื่อนย้ายอุปกรณ์ การนำเทคนิคการส่งข้อมูลดิจิตอลแบบไร้สายมาใช้นั้น ทำให้เกิดความสะดวกในการใช้งานทั้งในเรื่องการติดตั้ง การเคลื่อนย้ายและยังสามารถส่งได้ในระยะทางที่ไกล เนื่องจากคลื่นที่ใช้อยู่ในย่านความถี่ VHF คุณสมบัติของคลื่นในย่านนี้มีความสามารถในการทะลุทะลวง จึงทำให้ปัจจุบันนิยมนำเทคนิคการส่งข้อมูลดิจิตอลแบบไร้สายมาใช้อย่างแพร่หลาย ซึ่งเทคนิคที่นำเสนอนี้เป็นอีกเทคนิคหนึ่งที่ใช้

อุปกรณ์ในการรับส่งไม่มากนัก ทั้งยังสามารถนำไปใช้งานร่วมกับอุปกรณ์ต่าง ๆ ที่มีการรับส่งข้อมูลแบบดิจิตอลได้อย่างสะดวก

หลักการ

ตัวส่งสัญญาณ FSK

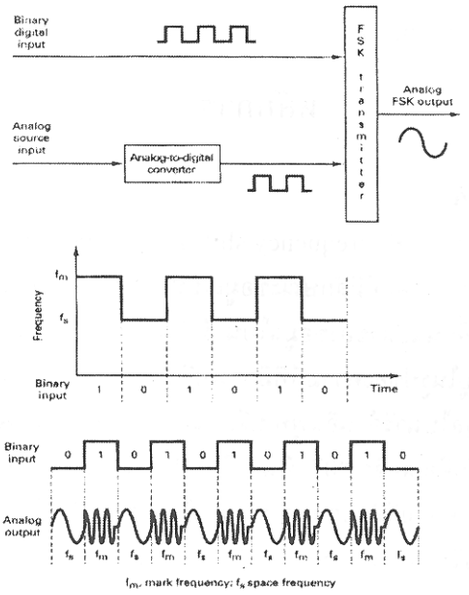
ตัวส่งสัญญาณ FSK (frequency shift keying transmitter) มีหลักการที่ว่าเมื่อข้อมูลที่เป็นสัญญาณดิจิตอลที่มีลักษณะข้อมูลเป็นไบนารี จะทำให้ความถี่เลื่อนหรือเบี่ยงเบนไปตามการเปลี่ยนแปลงของข้อมูลไบนารีเข้ามา ดังนั้นสัญญาณทางเอาท์พุทของตัวกำเนิด FSK จะอยู่ในรูปของความถี่ที่มีการเปลี่ยนแปลงอย่างต่อเนื่อง (frequency continuous) เมื่อข้อมูลไบนารีด้านอินพุทเปลี่ยนแปลงจากสถานะลอจิก "1" เป็นลอจิก "0" (หรือในทางกลับกันคือ ลอจิก "0" เป็นลอจิก "1") สัญญาณเอาท์พุทจาก FSK ก็จะเลื่อนความถี่ระหว่าง 2 ความถี่ด้วยกันคือ ความถี่ที่ลอจิก "1" หรือ Mark Frequency (F_m) และความถี่ที่ลอจิก "0" หรือ Space Frequency (F_s)

การเปลี่ยนแปลง (หรือการเลื่อน) ของความถี่แต่ละครั้งจะเกิดขึ้นแต่ละครั้งจะเกิดขึ้นเมื่อสถานะของลอจิกด้านสัญญาณเข้าเปลี่ยนแปลงนั่นคือ อัตราการเปลี่ยนแปลงของสัญญาณออกจะเท่ากับอัตราการเปลี่ยนแปลงของสัญญาณเข้า ซึ่งในดิจิตอลมอดูเลชั่น อัตราการเปลี่ยนแปลงของสัญญาณด้านอินพุท FSK Generator จะเรียกว่า "อัตราบิท" หรือ Bit Rate มีหน่วยเป็นบิทต่อวินาที (bps) ส่วนอัตราการเปลี่ยนแปลง ของสัญญาณด้านเอาท์พุทของ FSK Generator เรียกว่า "อัตราบอร์ด" หรือ Baud Rate ดังนั้น ในการส่งข้อมูลด้วยเทคนิค FSK อัตราบิทจะเท่ากับอัตราบอร์ดเสมอ

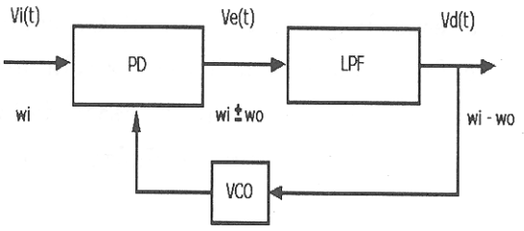
วงจรเฟสล็อคลูป

เฟสล็อคลูปเป็นอิเล็กทรอนิกส์เซอร์โวลูปเบื้องต้น ที่มีหลักการทำให้ความถี่เอาต์พุทของลูปมีลักษณะเป็นไปตามความถี่ของสัญญาณอินพุท โดยเปรียบเทียบกันระหว่างสัญญาณทั้งสอง ถ้าเฟสไม่ตรงกันจะมีโวลท์เตจเกิดขึ้นเพื่อแก้ไขความถี่ของออสซิลเลเตอร์ใหม่ให้ต่างเฟสน้อยลงและจะเป็นอย่างนี้ตลอดไปจึงทำให้เฟสล็อคอยู่ได้ เฟสล็อคลูปประกอบด้วยส่วนสำคัญ 3 ส่วนคือ

- เฟสดีเท็คเตอร์ (phase detector) หรือ P.D.
- โลว์พาสฟิลเตอร์ (lowpass filter) หรือลูปฟิลเตอร์ (loop-filter) หรือ LPF
- VCO (voltage controlled oscillator)

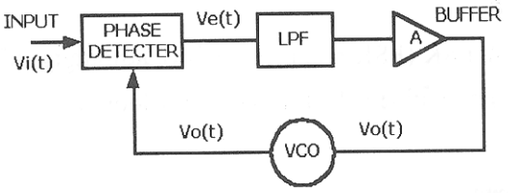


รูปที่ 1 หลักการและสัญญาณอินพุท เอาท์พุทของ FSK



รูปที่ 2 โครงสร้างสร้างทั่วไปของเฟสล็อคลูป

วงจรเฟสล็อคลูปประกอบด้วย วงจรเปรียบเทียบเฟส (phase comparator) วงจรกรองความถี่ต่ำผ่าน วงจรขยายและวงจรแกว่งควบคุมโดยแกว่งควบคุมโดยแรงดัน (voltage controlled oscillator : VCO) ต่อเป็นวงจรรอบ อย่างเช่นวงจรป้อนกลับทั่วๆ ไป



รูปที่ 3 วงจรเฟสล็อคลูปพื้นฐาน

วงจรเปรียบเทียบเฟสคือ วงจรที่ให้แรงดันออกมาเป็นปฏิภาคกับผลต่างระหว่างเฟสของสัญญาณที่เข้ามาสองสัญญาณวงจรนี้เป็นวงจรคูณ ถ้าสัญญาณเข้า $V_i(t)$ มีความถี่เป็น ω_i และเฟส θ_i

$$V_i(t) = V_i \sin(\omega_i t + \theta_i) \tag{1}$$

และสัญญาณออกจาก VCO มีความถี่ ω_i และเฟส θ_i

$$V_o(t) = V_o \cos(\omega_i t + \theta_0) \tag{2}$$

สังเกตว่าในการเขียนสมการเช่นนี้ V_i และ V_o มีมุมอ้างอิงต่างกันอยู่ 90° เพราะ V_i เขียนเป็นไซด์ (sine) และ V_o เป็นโคไซด์ (cosine) ถ้าป้อน V_i และ V_o เข้าที่วงจรเปรียบเทียบเฟสจะได้สัญญาณออก

$$V_e t = K_m V_i(t) V_o(t) \tag{3}$$

ถ้าละเลยเทอมความถี่ $2\omega_i$ ซึ่งจะถูกจำกัดโดยวงจรกรองความถี่ต่ำผ่าน จะได้

$$V_e = \frac{K_m V_i V_o}{2} \sin(\theta_i - \theta_o) \tag{4}$$

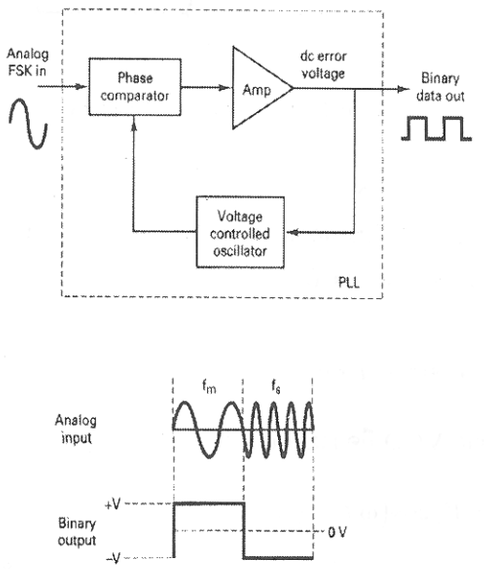
ถ้าสมมติว่า ผลต่างของ $(\theta_i - \theta_o)$ มีค่าน้อย จะได้

$$V_e = K_d(\theta_i - \theta_o) \tag{5}$$

โดยที่ K_d คือ ความไวของวงจรเปรียบเทียบเฟสเท่ากับ $K_i V_i V_o / 2$

ตัวรับสัญญาณ FSK

ตัวรับสัญญาณ FSK (FSK receiver) จะเป็นตัวแยกสัญญาณไบนารีออกจากสัญญาณ FSK โดยส่วนมากจะใช้วงจร PLL (phase lock loops)



รูปที่ 4 PLL - FSK Demodulator

PLL ใน FSK demodulator มีหลักการทำงานเหมือนกับ PLL ใน FM detector ทุกอย่างคือ จะมีความถี่ฟรีรันนิ่งเท่ากับ center frequency และในขณะที่ความถี่อินพุทของ PLL เลื่อนไปมา ระหว่าง F_m กับ F_g จะทำให้เกิดแรงดันคลาดเคลื่อนไฟตรง (DC error voltage) ซึ่งเป็นผลมาจากการเปรียบเทียบทางเฟส (phase comparator) ของสัญญาณอินพุท เนื่องจากความถี่อินพุทที่เข้ามายัง PLL มีเพียง 2 ความถี่คือ F_m กับ F_g ดังนั้น ค่าแรงดันดังกล่าว จึงมีเพียง 2 ระดับแรงดันเท่านั้น ซึ่งสามารถแทนด้วยลอจิก "1" และ ลอจิก "0" เมื่อความถี่อินพุทเป็น F_m กับ F_g ตามลำดับ เราจึงได้สัญญาณเอาท์พุทจาก PLL กลับมาเป็นข้อมูลไบนารีเหมือนกับตอนแรกที่ส่งมาทุกประการ

ห้องสมุด มหาวิทยาลัยขอนแก่น 25 ธ.ค. 2546

การออกแบบ

การออกแบบวงจรมอดูเลเตอร์

ในส่วนของภาคกำเนิดสัญญาณ FM จะใช้ IC mc3362 เฉพาะในส่วนของภาคออสซิลเลเตอร์ มาใช้งานซึ่งเราสามารถกำหนดความถี่ใช้งานได้จากวงจรแทงค์จูนคือ

$$fc = \frac{1}{2\pi\sqrt{LC}} \tag{6}$$

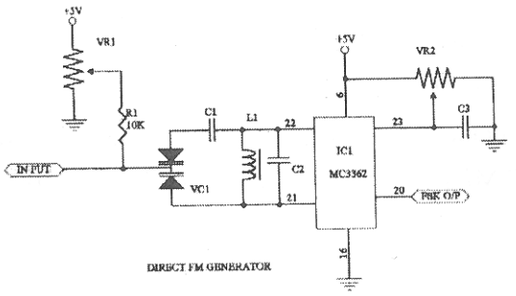
โดยวงจรแทงค์จะถูกจ่ายเข้ามาที่ขา 22 และขา 21 ซึ่งจะได้สัญญาณเอาท์พุตออกมาที่ขา 20 ซึ่งจากบล็อกไดอะแกรมภายในของ IC mc3362 จะมีขา 23 เป็น varicab control สามารถป้อนแรงดันเพิ่มไปควบคุมความถี่ที่วงจรออสซิสเลเตอร์กำเนิดออกมาได้

โดยในการคำนวณหาค่าอุปกรณ์ของภาคออสซิลเลเตอร์ จะทำการกำหนดความถี่ใช้งานและค่าตัวเก็บประจุ เพื่อทำการหาค่า L โดยกำหนดให้ค่าความถี่ใช้งานที่ 100 MHz และค่า $C = 1PF$ ดังนั้น จะได้ค่า L เป็น

$$L = \frac{1}{(2\pi fc)^2 C} \tag{7}$$

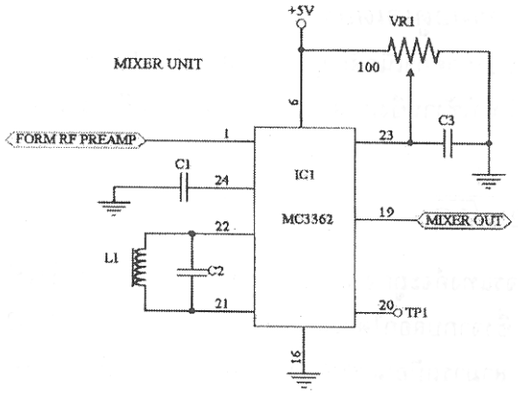
$$L = \frac{1}{\left(2\pi \times 100 \times 10^6\right)^2 \times 1 \times 10^{-12}}$$

$$L = 2.53\mu H$$



รูปที่ 5 วงจรมอดูเลเตอร์

การออกแบบวงจรมิกเซอร์



รูปที่ 6 วงจรมิกเซอร์

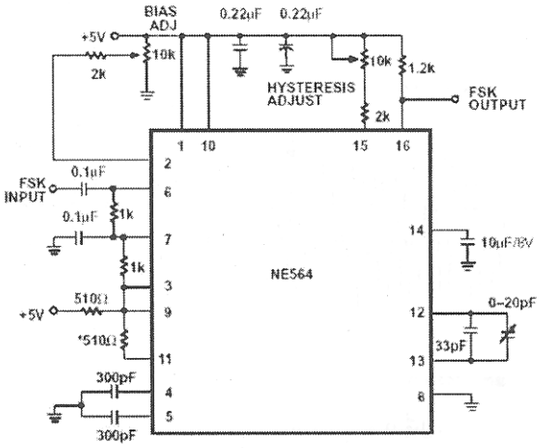
วงจรมิกเซอร์ (รูปที่ 6) เป็นวงจรดาวน์คอนเวอร์เตอร์ (down convertor) เพื่อทำการแปลงความถี่คลื่นพาห์ (carrier) เป็นความถี่ไอเอฟ (IF) โดยจากวงจรในรูปจะใช้ IC3362 เฉพาะส่วนของภาคมิกเซอร์มาใช้งานโดยมี L_1 และ C_2 ต่อเป็นวงจรแทงค์เพื่อกำเนิดความถี่ โดยให้มีความถี่สูงกว่าความถี่พาห์ 10.7 MHz โดยความถี่สามารถคำนวณได้จาก

$$f = \frac{1}{2\pi\sqrt{L_1 C_2}} \tag{8}$$

โดยที่เอาท์พุทบนภาคโลคอลออสซิลเลตจะสามารถวัดได้ที่ขา 20 และเอาท์พุทจงจรMixer ออกจากขา 22 ก่อนที่จะส่งไปให้ภาค IF

การออกแบบวงจรดีมอดูเลทสัญญาณ FSK

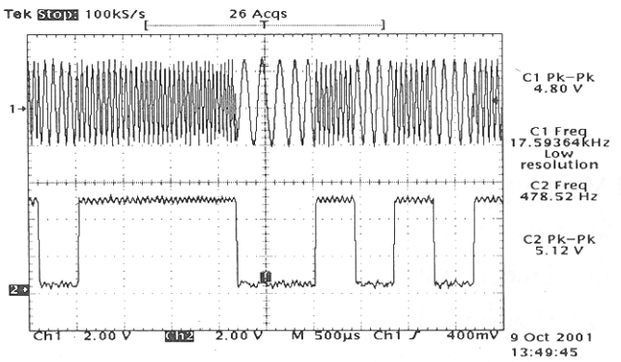
วงจร FSK demod PLL จะใช้วงจรเบอร์ NE 564 ซึ่งเป็นวงจร phase lock loop สามารถใช้ demodulation สัญญาณ FM หรือ FSK ก็ได้ และสามารถทำงานได้ถึงย่านความถี่ 50 MHz ในโครงงานนี้จะใช้ demod ที่ความถี่ 10.7 MHz (รูปที่ 7)



รูปที่ 7 วงจรดีมอดูเลทสัญญาณ FSK

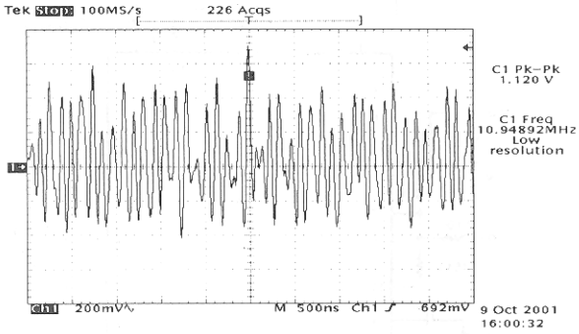
ผลการทดลอง

วัดสัญญาณที่เอาท์พุทของวงจรมอดูเลเตอร์ โดยมีสัญญาณเข้ามามอดูเลท สังเกตว่า จะมีการเบี่ยงเบนความถี่ของสัญญาณเอาท์พุทแสดงในช่องที่ 1 สัญญาณอินพุทแสดงในช่องที่ 2 เนื่องจากต้องการให้เห็นการเบี่ยงเบนของสัญญาณ จึงต้องปรับความถี่ของวงจรออสซิลเลเตอร์ให้ต่ำลงมาให้เหลือเพียงความถี่ที่ใช้งานจริงคือ ความถี่ประมาณ 110 MHz 1(รูปที่ 8)

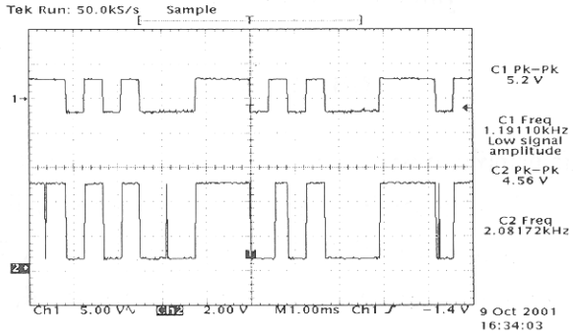


รูปที่ 8 สัญญาณที่เอาท์พุทของวงจรภาคส่งโดยมีสัญญาณเข้ามามอดูเลท

จากการวัดสัญญาณที่ผ่านวงจร Mixer ซึ่งจะเป็นสัญญาณ IF ที่ความถี่ 10.7 MHz จะมีผลที่ได้ดังแสดงในรูปที่ 9



รูปที่ 9 สัญญาณที่ผ่านวงจร Mixer



รูปที่ 10 สัญญาณที่ได้จากวงจรเฟสล็อกลูป

สรุปผลการทดลอง

จากการทดลองพบว่า ความถี่ที่ใช้ในการส่งข้อมูลนั้นควรจะสูงกว่าความถี่ของสัญญาณ FM ที่ใช้อยู่เนื่องจากอาจทำให้มีสัญญาณเข้ามารบกวนได้ การส่งข้อมูลจากตัวส่งถึงตัวรับนั้น กำลังที่ใช้ในการส่งนั้นมีความสำคัญอย่างมาก เนื่องจากสัญญาณที่เรานำมามอดูเลทนั้น เป็นสัญญาณดิจิตอล ดังนั้นถ้าเกิดมีสัญญาณรบกวน จะทำให้มีผลต่อข้อมูลที่ได้รับเกิดการผิดเพี้ยนไปได้ ระยะทางในการส่งสามารถเพิ่มระยะในการส่งได้โดยนำวงจรขยายกำลังมาต่อร่วมเพื่อเพิ่มกำลังส่งให้ไกลขึ้น จะทำให้เพิ่มประสิทธิภาพของเครื่องส่งตัวนี้

วงจรที่ใช้ส่งข้อมูลนั้น เราสามารถนำไปประยุกต์ใช้งานได้ เนื่องการส่งเป็นการส่งแบบโดยตรงซึ่งทำให้สามารถส่งข้อมูลดิจิตอลใน Bit Rate ที่สูงกว่านี้ได้

เอกสารอ้างอิง

[1] บัณฑิต โรจน์อารยานนท์ "หลักการไฟฟ้าสื่อสาร" สำนักพิมพ์จุฬาลงกรณ์มหาวิทยาลัย พ.ศ. 2532

[2] Wayne Tomasi "Advanced Electronic Communication System", Prentice Hall International

[3] อุดม จีนประดับ "ไมโครคอนโทรลเลอร์ MCS-51" ศูนย์ผลิตตำราสถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ พ.ศ. 2541

[4] รศ.ดร. ถวัลย์วงศ์ ไกรโรจนานันท์ "อิเล็กทรอนิกส์ระบบดิจิตอล" กองบริการสื่อสารสนเทศ ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ