วิศวกรรมสาร มข. ปีที่ 34 ฉบับที่ 3 (333 - 341) พฤษภาคม – มิถุนายน 2550
KKU Engineering Journal Vol. 34 No .3 (333 - 341) May – June 2007

เทคนิคการสร้างสัญญาณ PWM แบบดิจิตอลด้วย FPGA*

พิทยา ปานนิล[1] อาภาพร สายธิไชย[2] ไสว พงศ์สวัสดิ์[3] และ ประภาษ อุคคกิมาพันธุ์[3]

[1] ผู้ช่วยศาสตราจารย์ ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 10520

[2] นักศึกษาทดลองเรียน ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 10520

[3] รองศาสตราจารย์ ภาควิชาวิศวกรรมการวัดคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 10520

Email: klsawai@kmitl.ac.th

บทคัดย่อ

บทความวิจัยนี้ นำเสนอเทคนิค การสร้างสัญญาณมอดูเลตตามความกว้างพัลส์ (Pulse Width Modulation; PWM) ด้วยเทคนิคทางดิจิตอลบน FPGA (Field Programmable Gate Array) โดยการใช้วงจรนับและวงจรเปรียบเทียบทางดิจิตอล ที่พัฒนาในรูปของซอร์ฟแวร์ Verilog HDL (Verilog Hardware Description Language) โดยการออกแบบให้วงจรนับสัญญาณนาฬิกาตามเวลาที่เปลี่ยนแปลงไปและผลของวงจรนับดังกล่าวจะทำให้เกิดค่าของสัญญาณดิจิตอลที่มีลักษณะเป็นขั้นบันไดเปลี่ยนแปลงตามเวลา ค่าทางดิจิตอลที่เป็นลักษณะขั้นบันได จะถูกนำไปเปรียบเทียบกับระดับสัญญาณอ้างอิงที่กำหนดมาจากวงจรนับอีกวงจรหนึ่ง ผลการเปรียบเทียบ ของสัญญาณทั้งสอง จะทำให้ได้สัญญาณพัลส์ที่มีค่าดิวตี้ไซเคิลตามระดับสัญญาณอ้างอิง ซึ่งสามารถปรับเปลี่ยนค่าได้ในช่วง 0-100% และให้สัญญาณที่เที่ยงตรง มีความละเอียดสูง การปรับเปลี่ยนความถี่ทำได้ง่าย

คำสำคัญ : มอดูเลตตามความกว้างพัลส์, ดิจิตอล, FPGA, ดิวตี้ไซเคิล, Verilog HDL

---

* รับต้นฉบับเมื่อวันที่ 21 ธันวาคม 2549 และได้รับบทความฉบับแก้ไขเมื่อวันที่ 24 เมษายน 2550

Digital Technique to Generate PWM Signal Using FPGA*

Pittaya Pannil[1)] Arpapond Saithichai [2)] Sawai Pongswatd Prapart Ukakimapurn [3)]

[1)] Assistant. Professor, Department of Instrumentation Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang 10520

[2)] Graduate Student, Department of Instrumentation Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang 10520

[3)] Associate. Professor, Department of Instrumentation Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang 10520

Email: klsawai@kmitl.ac.th

ABSTRACT

This paper presents the digital technique to generate a pulse width modulation (PWM) signal using Field Programmable Gate Arrays (FPGA). In order to reduce the complexity and hardware restrictions, the proposed method is performed using program written in Verilog Hardware Description Language (HDL). The programmed design consists of two counter circuits, comparator, and latch circuit. Setting the value of comparison signal can easily vary the duty cycles of PWM. The frequency of PWM signal is tunable by changing the input clock of counter circuit. In addition, the proposed concept can generate multiple PWM signals with various duty cycles and frequencies at the same time. Experimental results verifying the performances of the proposed technique are agreed with the expected values.

Keywords : PWM, FPGA, Digital, Duty Cycle, Verilog HDL

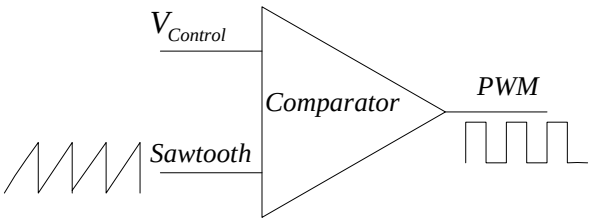
* Original manuscript submitted: December 21, 2006 and Final manuscript received: April 24, 2007

บทนำ

สัญญาณ PWM เป็นสัญญาณที่นำมาใช้ในงานอิเล็กทรอนิกส์กำลัง (ไสว พงศ์สวัสดิ์ , 2544) เพื่อควบคุมการทำงานของสวิตช์อิเล็กทรอนิกส์ (Muhammad H. Rashid, 1988) ซึ่งการสร้างสัญญาณ PWM ที่สามารถปรับค่า ดิวตี้ไซเคิล ของสัญญาณสามารถทำได้ ทั้งวงจรอนาล็อก และวงจรดิจิตอล ซึ่งการใช้วิธีทางดิจิตอล มาสร้างสัญญาณ ที่เรียกว่า Digital PWM จะช่วยลดสัญญาณรบกวนที่เกิดจากตัววงจรอนาล็อก แต่การใช้วงจรดิจิตอลเพื่อสร้างสัญญาณที่ความละเอียดสูง ๆ จะพบปัญหาเกี่ยวกับจำนวนบิตของอุปกรณ์ ที่ต้องใช้จำนวนบิตที่สูงวงจรมีขนาดใหญ่ แต่การใช้เทคนิคการโปรแกรมค่าสัญญาณใน ROM (Pongswatd et al. ,2004) สามารถแก้ปัญหาเกี่ยวกับขนาดของแผ่นวงจรทางฮาร์ดแวร์ได้แต่การปรับเปลี่ยนข้อมูลของสัญญาณใน ROM ก็ทำได้ยุ่งยาก จึงทำให้เทคนิคดังกล่าวเหมาะสมกับงานที่ออกแบบไว้แน่นอนและสมบูรณ์แล้ว บทความวิจัยนี้นำเสนอเทคนิคการสร้างสัญญาณ PWM ด้วยเทคนิคทางดิจิตอล โดยการประยุกต์ใช้ FPGA มาเป็นตัวประมวลผลและสร้างสัญญาณ ผ่านซอร์ฟแวร์ verilog เนื่องจากใช้พื้นที่หน่วยความจำน้อยกว่าการเขียนวงจรแบบกราฟิค ง่ายต่อการปรับปรุงเปลี่ยนแปลงค่าสัญญาณหรือขยายช่องสัญญาณ และสร้างสัญญาณได้หลายช่องสัญญาณพร้อมกันได้

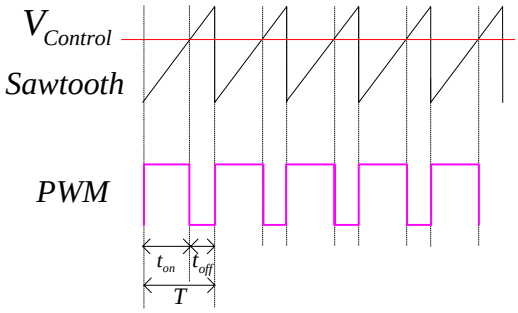
ทฤษฎี

การสร้างสัญญาณ PWM ด้วยวงจรอนาล็อกจะใช้การสร้างสัญญาณฟันเลื่อยหรือสัญญาณแบบขั้นบันไดมาเปรียบเทียบกับระดับอ้างอิงที่เป็นระดับสัญญาณกระแสตรงหรือสัญญาณซายน์ ตามรูปแบบของสัญญาณPWM ที่ต้องการ การสร้างสัญญาณ PWM แบบอนาล็อกแสดงได้ดังรูปที่ 1



รูปที่ 1 *วงจร PWM แบบอนาล็อก*

จากรูป สัญญาณ *Sawtooth* จะถูกเปรียบเทียบกับสัญญาณ $V_{control}$ ผลของการเปรียบเทียบทำให้ได้สัญญาณ ตามรูปที่ 2



รูปที่ 2 *การสร้างสัญญาณ PWM*

รูปที่ 2 แสดงสัญญาณ PWM ที่ได้จาก สัญญาณ *Sawtooth* กับ $V_{control}$ ที่เปรียบเทียบกัน ผลของการเปรียบเทียบ เมื่อระดับของสัญญาณ $V_{control}$ สูงกว่าระดับของสัญญาณ *Sawtooth* จะทำให้ได้ระดับของ PWM เป็น High แต่เมื่อ ระดับของสัญญาณ $V_{control}$ ต่ำกว่าระดับของสัญญาณ *Sawtooth* จะทำให้ได้ระดับของ PWM เป็น Low ซึ่งคำนวณค่า ดิวตี้ไซเคิล ได้ เท่ากับ

$$D = \frac{t_{on}}{T} \text{ x } 100\% \qquad (1)$$

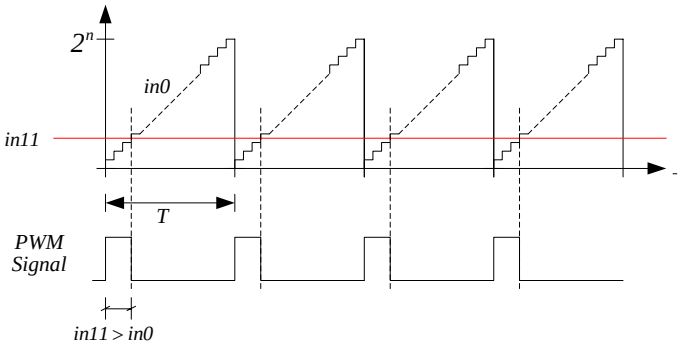
โดยที่

D แทนเปอร์เซ็นค่าดิวตี้ไซเคิล

t_{on} แทนค่าช่วงเวลาในสภาวะ High

T แทนค่าคาบเวลา

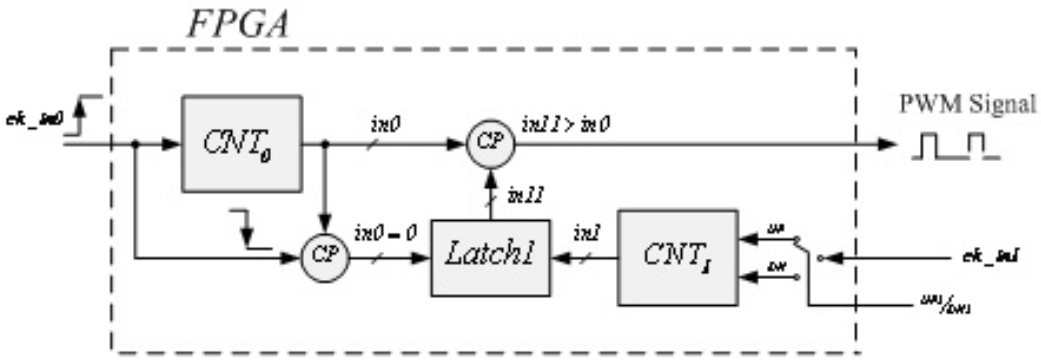
การสร้างสัญญาณ PWM ด้วยวงจรดิจิตอลจะใช้วงจรนับเป็นตัวนับสัญญาณนาฬิกา *in0* ที่เข้ามา ซึ่งค่าที่นับได้จะมีค่าเพิ่มขึ้นเป็นรูปขั้นบันไดตามเวลาที่เปลี่ยนแปลงไป และนำสัญญาณขั้นบันไดดังกล่าวมาเปรียบเทียบกับระดับสัญญาณอ้างอิง *in11* ที่กำหนด ผลของการเปรียบเทียบทำให้ได้สัญญาณ PWM เป็นระดับลอจิก High และ Low ตามรูป



รูปที่ 3 *การสร้างสัญญาณ PWM ด้วยหลักการทางดิจิตอล*

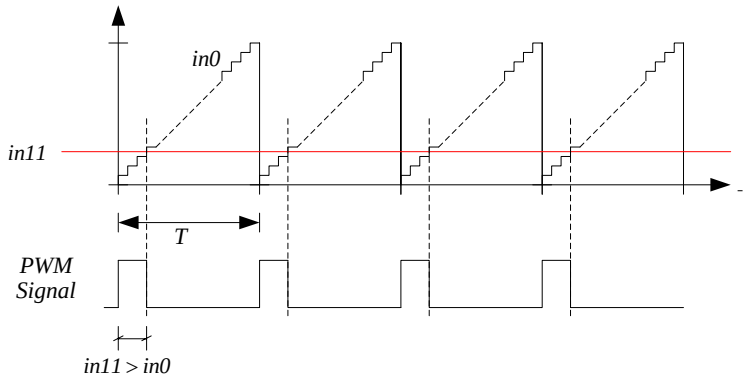
การออกแบบระบบ

ระบบที่ใช้จะออกแบบให้สัญญาณนาฬิกา ck_in0 ป้อนเข้าสู่วงจรนับ CNT_0 ซึ่งในงานวิจัยนี้ใช้ เป็นวงจรนับขึ้น ขนาด 10 บิต สัญญาณเอาต์พุต $in0$ จะถูกนำไปเปรียบเทียบ ที่ CP กับค่า $in11$ ที่ได้จากวงจรนับ CNT_1 ทุกๆ รอบการนับที่ $in0 = 0$



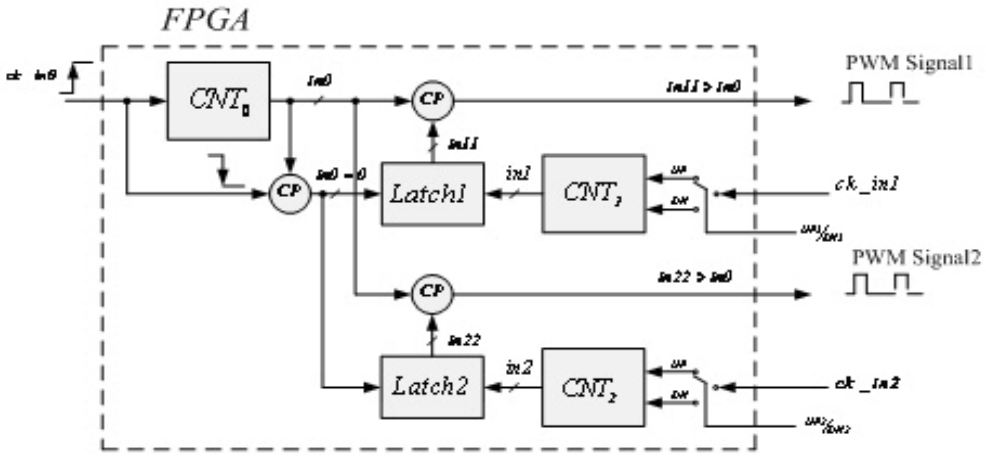
รูปที่ 4 *ระบบที่ได้ออกแบบไว้*

วงจรนับ CNT_1 สามารถ เลือกให้นับขึ้น หรือลงได้ เพื่อกำหนดระดับสัญญาณอ้างอิง ไปยังวงจร $Latch1$ เมื่อ $in0 = 0$ เพื่อรอการเปรียบเทียบกับค่าที่ได้จากวงจรนับ CNT_0 ซึ่งผลที่ได้จากการนำค่าของวงจรนับทั้งสองมาเปรียบเทียบกัน ทุกๆ รอบ $in0 = 0$ จะได้ผลของการเปรียบเทียบ 3 ค่า คือ มากกว่า เท่ากับ และน้อยกว่า ในงานวิจัยนี้จะนำผลของสัญญาณที่ได้จากการเปรียบเทียบที่ ค่า $in11$ มากกว่า $in0$ มาเป็นเอาต์พุตที่เป็นลอจิก High ดังแสดงในรูปที่ 5



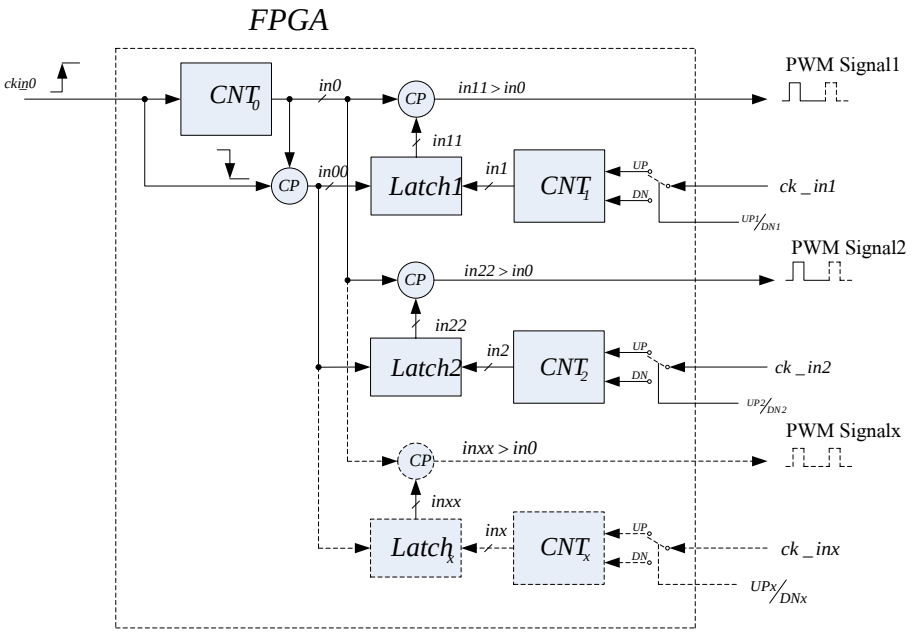
รูปที่ 5 *สัญญาณ PWM ที่ได้จากระบบที่ออกแบบไว้*

จากรูปที่ 5 สามารถปรับความกว้างของพัลส์ หรือ ดิวตี้ไซเคิลได้ โดยการปรับระดับของค่า $in11$ และสามารถปรับความถี่ของสัญญาณ PWM ได้ด้วยการปรับค่าความถี่ของสัญญาณนาฬิกา ck_in0 เพื่อให้มีรอบการนับต่อคาบเวลาน้อยลง ในกรณีที่ต้องการเพิ่มจำนวนช่องสัญญาณ PWM เป็น 2 ช่องสัญญาณสามารถทำได้ดังรูป



รูปที่ 6 *ระบบสำหรับกำเนิดสัญญาณ PWM พร้อมกัน 2 ช่องสัญญาณ*

จากรูปจะใช้ วงจรนับ CNT_0 เป็นตัวกำหนดความถี่ของสัญญาณ PWM และใช้ ck_in1 ปรับค่าดิวตี้ไซเคิลของ PWM Signal1 ใช้ ck_in2 ปรับค่าดิวตี้ไซเคิลของ PWM Signal2 การขยายช่องสัญญาณหรือเพิ่มจำนวนช่องสัญญาณเป็นหลายช่องสัญญาณสามารถทำได้ดังรูปที่ 7



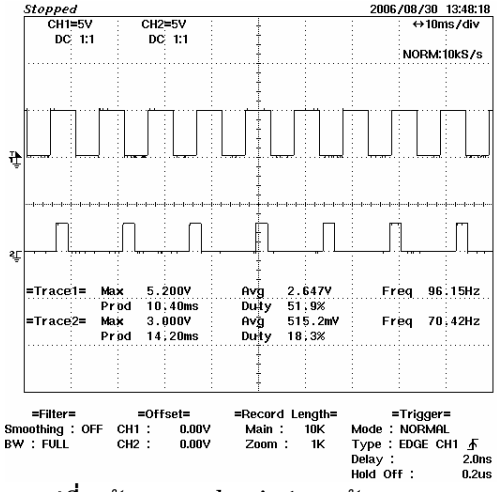
รูปที่ 7 *ระบบการสร้างสัญญาณ PWM แบบหลายช่องสัญญาณ*

ผลการทดลอง

งานวิจัยนี้ได้ทดลองสร้างสัญญาณ PWM ด้วยโปรแกรม Verilog HDL และใช้ชิป FPGA ของบริษัทALTERA เบอร์ EP1K50TC144 ที่มีความจุเกต 50,000 เกต มีระดับแรงดันเอาต์พุต 3.3 โวลต์ สัญญาณ ck_in0 ใช้สัญญาณจาก Global Clock และ ck_inx ใช้สัญญาณจากภายนอก

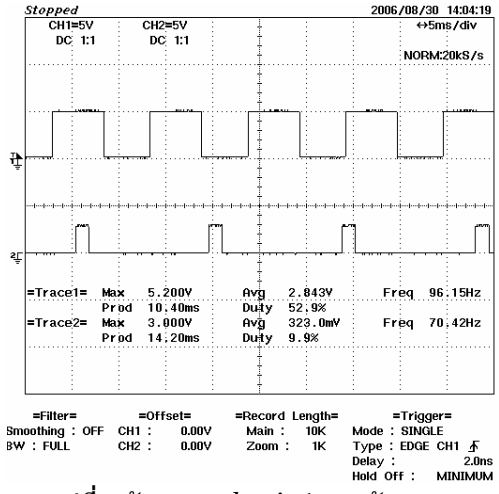
การทดลองสร้างสัญญาณ PWM ขนาด 1 ช่องสัญญาณ

การทดลองสร้างสัญญาณ PWM ขนาด 1 ช่องสัญญาณจะใช้ระบบตามรูปที่ 4 โดยใช้วงจรนับขนาด 10 บิต และสัญญาณ $ck_in0 = 72kHz$ $ck_in1 = 100Hz$ ได้สัญญาณ PWM ตามรูป

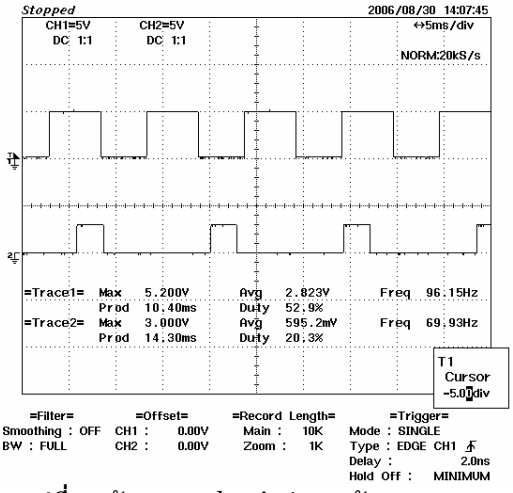


รูปที่ 8 *สัญญาณ ck_in1 และสัญญาณ PWM*

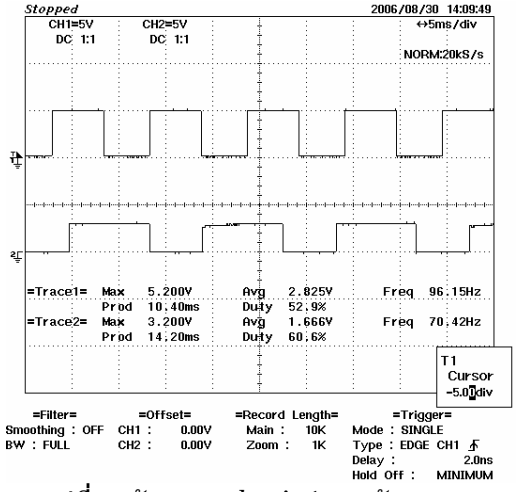
จากรูป CH1 แสดงสัญญาณ ck_in1 ซึ่งถูกป้อนจากภายนอกที่ความถี่ 100 Hz เพื่อเป็นสัญญาณในการปรับระดับขนาดสัญญาณอ้างอิง และ CH2 แสดงสัญญาณ PWM ที่ได้



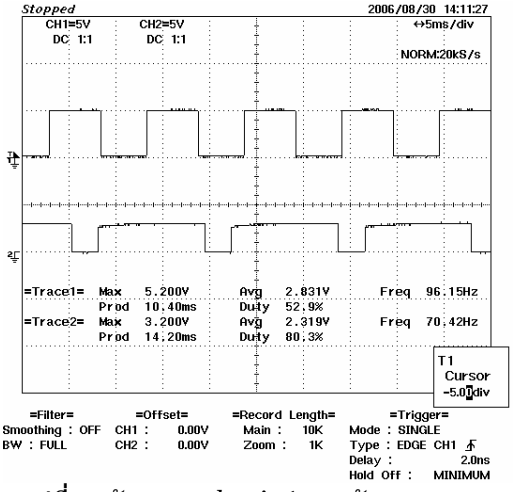
รูปที่ 9 *สัญญาณ ck_in1 และสัญญาณ PWM ที่ดิวตี้ไซเคิล 10%*



รูปที่ 10 *สัญญาณ ck_in1 และสัญญาณ PWM ที่ดิวตี้ไซเคิล 20%*



รูปที่ 11 *สัญญาณ ck_in1 และสัญญาณ PWM ที่ดิวตี้ไซเคิล 60%*

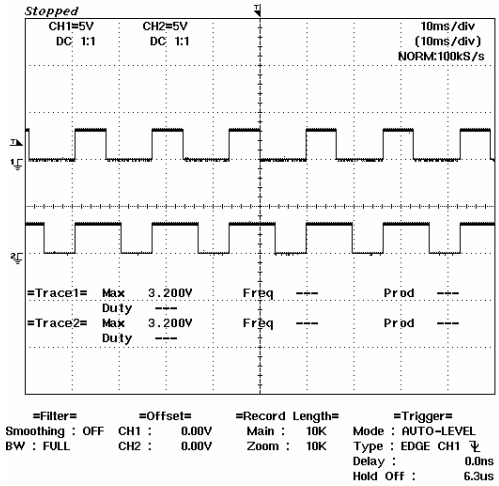


รูปที่ 12 *สัญญาณ ck_in1 และสัญญาณ PWM ที่ดิวตี้ไซเคิล 80%*

จากรูปที่ 9-12 เป็นการทดลองปรับค่า ดิวตี้ไซเคิล โดยใช้ออสซิลโลสโคป CH1 วัดสัญญาณ $ck_in1 = 100Hz$ และ CH2 วัดสัญญาณ PWM signal ที่ดิวตี้ไซเคิล 10% 20% 60% และ 80% ตามลำดับ กรณีที่ต้องการค่า ดิวตี้ไซเคิล 100% ก็สามารถทำได้โดยการป้อน ck_in1 ต่อเนื่องจนกระทั่งได้ระดับสัญญาณอ้างอิง $in11$ มีค่ามากกว่าค่าสูงสุดของวงจร CNT_0

การทดลองสร้างสัญญาณ PWM ขนาด 2 ช่องสัญญาณ

การทดลองสร้างสัญญาณ PWM พร้อมกัน 2 ช่องสัญญาณ จะใช้ระบบตามรูปที่ 6 โดยใช้สัญญาณ $ck_in0 = 72kHz$ และใช้ออสซิลโลสโคป CH1 วัดสัญญาณ PWM signal1 CH2 วัดสัญญาณ PWM signal2 ที่ค่า ดิวตี้ไซเคิล 40% และ60% ตามลำดับ



รูปที่ 13 *CH1 แสดง สัญญาณ PWM signal1 และ CH2 แสดง สัญญาณ PWM signal2*

สรุปผล

การสร้างสัญญาณ PWM ด้วยเทคนิคทางดิจิตอล สามารถสร้างสัญญาณ PWM ที่ปรับค่าดิวตี้ไซเคิล ได้ตามระดับค่าอ้างอิงที่กำหนด และการประยุกต์ใช้ FPGA มาเป็นอุปกรณ์ในการทำวิจัยร่วมกับ ซอร์ฟแวร์ Verilog HDL ทำให้การเขียนฟังก์ชันการทำงานของวงจรทางดิจิตอล ที่เป็นวงจรนับ วงจรเปรียบเทียบสัญญาณ และการกำหนดสัญญาณนาฬิกาอ้างอิง ทำได้ง่าย สะดวก รวดเร็วและไม่มีสัญญาณรบกวนเนื่องจากอุปกรณ์ทางฮาร์ดแวร์ จึงทำให้สัญญาณที่ได้มีความเที่ยงตรง อีกทั้งการปรับเปลี่ยนความถี่ ความละเอียดของสัญญาณ การเพิ่ม-ลดจำนวนช่องสัญญาณ ก็ทำได้ง่าย ซึ่งสามารถนำสัญญาณ PWM ที่ได้ไปประยุกต์ใช้กับงานทางด้านอิเล็กทรอนิกส์กำลังและการขับเคลื่อนทางไฟฟ้าได้ต่อไป

เอกสารอ้างอิง

ไสว พงศ์สวัสดิ์ 2544 **อิเล็กทรอนิกส์กำลัง** มิตรนราการพิมพ์ กรุงเทพมหานคร

Muhammad H. Rashid 1988 **Power Electronics** Prentice Hall International, Inc.,.

Sawai Pongswatd Ruedee Masuchun Krit Smerpitak and Prapart Ukakimapurn 2004 **New Technique to Generate the PWM Signal** ICCAS2004 International Conference on Control, Automatic and Systems, August 25-27 Shangari-La Hotel, Bangkok, Thailand,.

Astron Logic Research & Development Co., Ltd., 2549 **Power ACEX1K User's Manual** Astron Logic Research & Development Co., Ltd.,